弘快电子自动化设计软件

RedPKG

使用手册 V1.0

目录

1 RedPAD 使用手册 1

1 .1 RedPAD 设计界面 1

1.2 焊盘参数设置介绍 2

2 创建表贴器件封装 4

2.1 DIE 封装 4

2.2 BGA 封装 10

3 设计参数设定 15

3.1 新建 PKG 15

3.2 设置网格单位和网格距离 15

3.3 设置库路径 16

3.4 自动保存设置 17

3.5 显示设置 18

3.6 主题设置 19

3.7 语言设置 19

3.8 快捷键设置 20

3.9 DRC 设置 21

4 设置叠层 21

5 导入 SIP 和 Netlist 23

5.1 导入 SIP 23

5.2 导入网表 28

6 Finger 设置和放置 33

6.1 Finger 设置 33

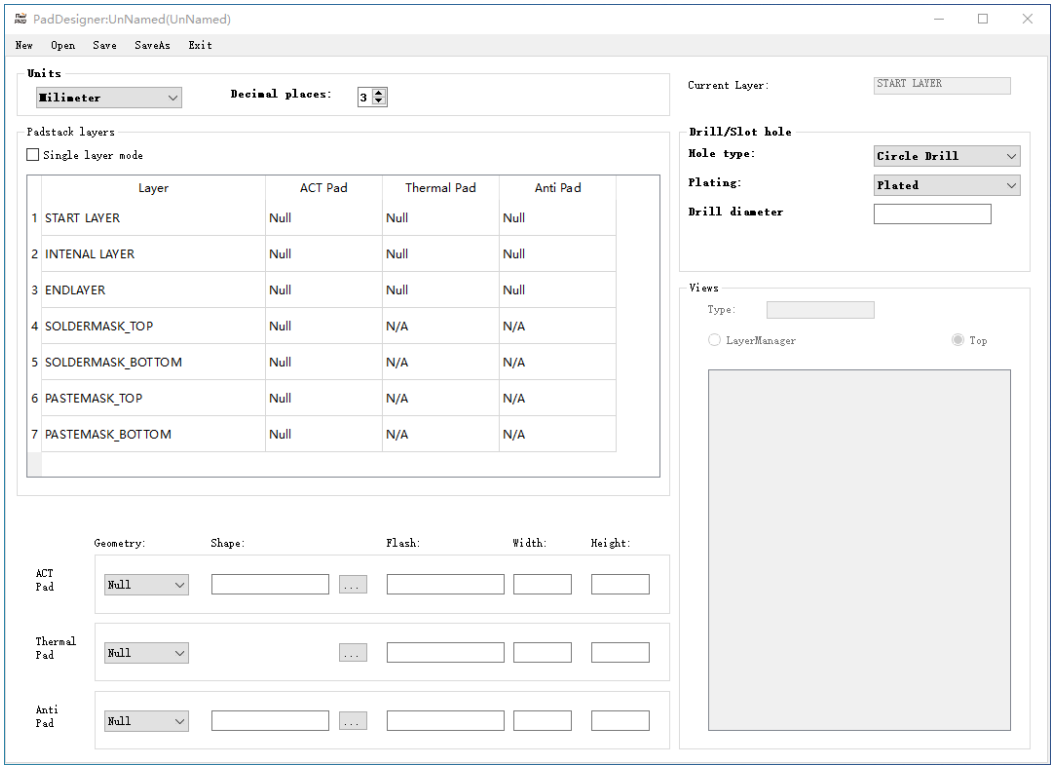
6.2 Finger 放置 36

7 设计规则设置.....37
7.1 物理规则（Physical）设置.....37
7.2 差分线设置.....40
7.3 设置间距（Spacing）规则.....43
7.4 添加过孔.....44
8 PKG 布线.....45
8.1 布线.....45
8.2 换层走线.....50
8.3 修改走线.....51
9 电源处理.....52
9.1 铺铜.....52
9.2 铜皮掏空处理.....57
10 SUMMARY 功能和 DRC 功能.....58
10.1 SUMMARY 功能.....58
10.2 DRC 检查.....62
11 光绘文件.....63
11.1 光绘输出.....63
11.2 钻孔文件输出.....68
11.3 DXF 文件输出.....69
11.4 打包文件.....71

1 RedPAD 使用手册

1.1 RedPAD 设计界面

打开软件 Redpad，进入 PadDesigner 设计界面。



1.2 焊盘参数设置介绍

Units 区域用以指定焊盘的尺寸单位和精度。

Padstack layers: Single layer mode (在创建表贴焊盘时需要勾选此项；而在创建通孔焊盘时则不需要勾选)。

Start Layer/End Layer: 分别表示 TOP 层及 BOTTOM 层的焊盘；

Internal Layer: 表示多层板内层的焊盘（设计通孔时需要设置该项）；

Soldrmask_top/soldermask_bottom: 表示阻焊的大小，即绿油开窗的大小，有阻焊的区域将不覆盖绿油。

Pastemask_top/pasemask_bottom: 表示表贴器件焊盘回流焊刷锡膏时，钢网开窗的大小。

ACT Pad、**Thermal Relief**、**Anti Pad** 三个区域用以设置相关 Pad 的详细参数:

Act Pad: 常规焊盘。

Thermal Relief: 热风盘（也叫花焊盘），仅在负片光绘中有效；用于描述负片中焊盘与旁边同名网络敷铜的连接方式。

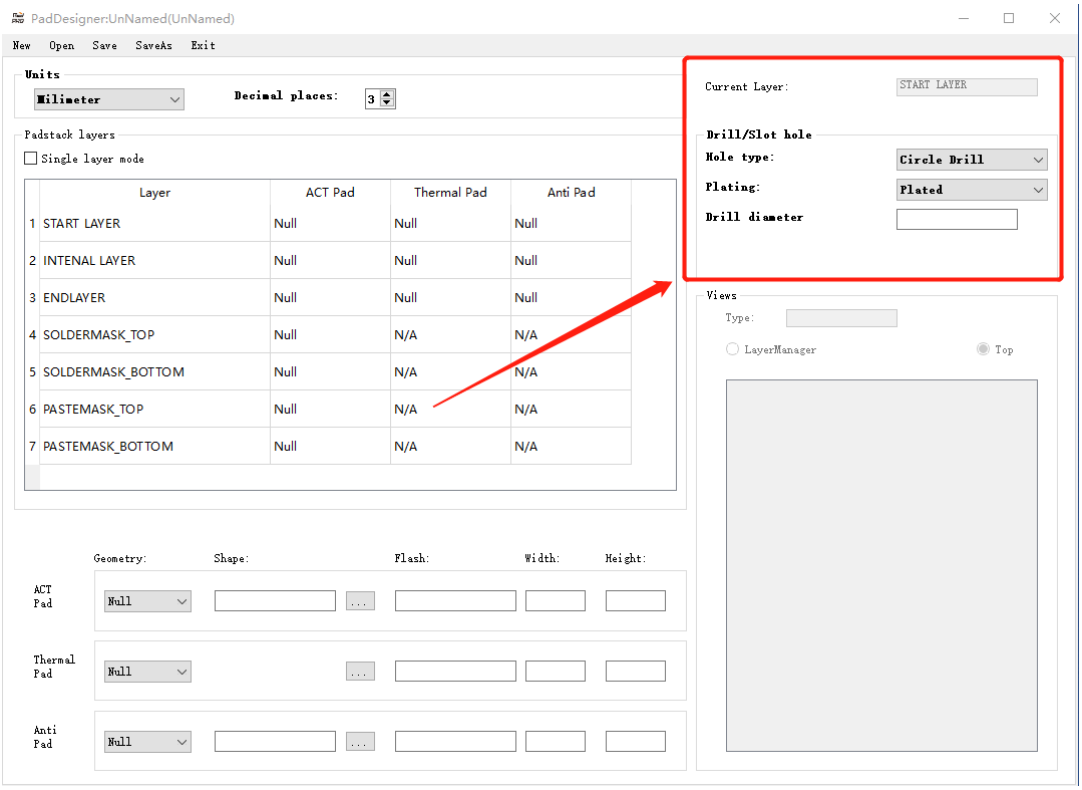
Anti Pad：反焊盘（也叫隔离焊盘），默认仅在负片光绘中有效；用于描述负片中焊盘与旁边不同网络敷铜之间的避让间距。

Geometry:选择焊盘的形状（Null: 空，Circle:圆形，Square:正方形，Oblong:椭圆形，Rectangle: 矩形，Oceagon:八角形，Shape:Copper Sym，）

Shape: 选择 Copper Sym（建不规则焊盘才需要选择，需先建一个 Copper Sym，然后将它调入）

Flash: 选择 Flash Sym（需建一个 Flash Sym，是在建通孔焊盘才需要选择，表贴的不用）

Width:宽度，**Height:**高度



Drill/Slot hole:在 Hole Type 下拉框中可以选择钻孔的形状类型，有如下 3 种选择。

Circle Drill: 圆形钻孔

Oval Slot : 椭圆形钻孔

Rectangle Slot : 矩形钻孔

在 **Plating** 下拉菜单中可以选择钻孔的电镀类型，有如下 2 种选择。

Plated : 金属化孔，有电气连接关系的元件引脚焊盘需要选择 Plated。

Non-Plated: 非金属化孔，元件的安装孔或者定位孔需要选择 Non-Plated

Drill diameter:孔的直径

Views 窗口可以预览焊盘

2 创建表贴器件封装

2.1 DIE 封装

1）用 EXCE 建封 DIE，表格需要下图的规范，

Footprint Name:输入封装名

Bump size X:

Bump size Y:

Padstack:焊盘名

Pin Number:从第 10 行开始

Padstack:焊盘名

X Coord,Y Coord:X 和 Y 坐标

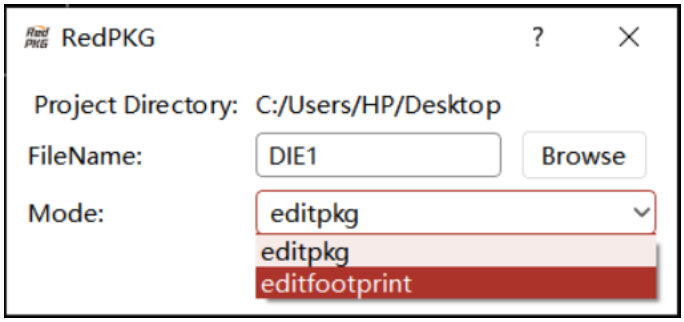
Rotation:焊盘角度

	A	B	C	D	E	F	G
1	Footprint Name	die_footprint					
2	RefDes	DIE1					
3	Bump size X						
4	Bump size Y						
5	Padstack	P62X44	P70X50				
6	coordinate						
7							
8	Pin Number	Padstack	X Coord	Y Coord	Rotation	Pin Use	Net Name
9							
10	1	P70X50	60.784	2091.88	0		GND
11	2	P62X44	117.784	2200.14	0		POWER1
12	3	P62X44	184.904	2200.14	0		
13	4	P62X44	242.904	2200.14	0		
14	5	P62X44	299.904	2200.14	0		
15	6	P62X44	357.904	2200.14	0		
16	7	P62X44	471.904	2200.14	0		
17	8	P62X44	529.904	2200.14	0		NET8
18	9	P62X44	586.904	2200.14	0		NET9
19	10	P62X44	644.904	2200.14	0		NET10
20	11	P62X44	701.904	2200.14	0		NET11
21	12	P62X44	759.904	2200.14	0		NET12
22	13	P62X44	816.904	2200.14	0		NET13
23	14	P62X44	873.904	2200.14	0		POWER1
24	15	P62X44	1274.368	2200.14	0		GND
25	16	P62X44	1332.368	2200.14	0		NET16
26	17	P62X44	1389.368	2200.14	0		NET17
27	18	P62X44	1447.368	2200.14	0		NET18
28	19	P62X44	1504.368	2200.14	0		NET19
29	20	P62X44	1562.368	2200.14	0		NET20
30	21	P62X44	1619.368	2200.14	0		NET21
31	22	P62X44	1691.618	2200.14	0		NET22
32	23	P62X44	2204.558	2200.14	0		NET23
33	24	P62X44	2342.26	2200.14	0		NET24
34	25	P62X44	2438.632	2200.14	0		GND
35	26	P62X44	2495.632	2200.14	0		NET26
36	27	P62X44	2552.632	2200.14	0		POWER2
37	28	P62X44	2609.632	2200.14	0		NET28
38	29	P62X44	2666.632	2200.14	0		GND
39	30	P62X44	2723.632	2200.14	0		NET30
40	31	P62X44	2780.632	2200.14	0		POWER2
41	32	P62X44	2837.632	2200.14	0		NET32
42	33	P62X44	2894.632	2200.14	0		GND

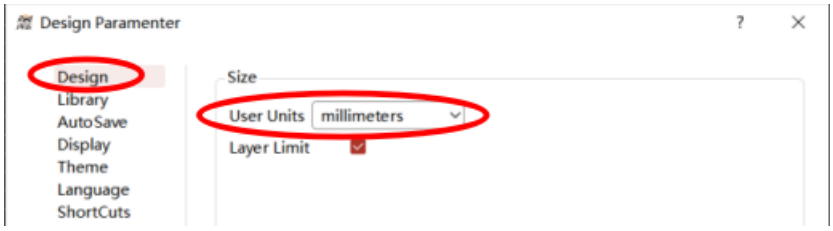
bump list

2）打开软件 RedPKG,进入 PKG 设计界面

3）点击菜单 **File -> New** ，弹出对话窗口，File Name 输入新建的封装名称“**DIE1**”，**Mode** 选择“**editfootprint**”，点击 **Browse** 可以选择存盘路径。最后点击“**OK**”。



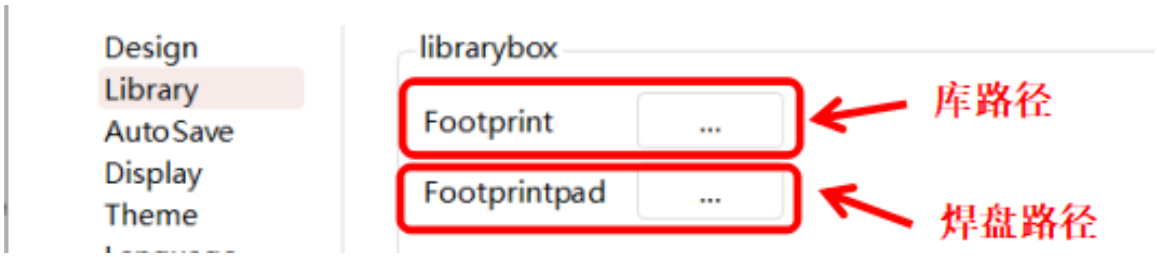
4）点击菜单 **File ->Settings** 在弹出的“**Design Parameter** ”窗口中,**Design** 中选择操作单位。



5）点击菜单 File ->Settings 在弹出的“Design Parameter”窗口中，点击 Library

设定库路径：点击 Footprint 后方...图标，跳出对话框，选择 Browse,选择需要的路径。

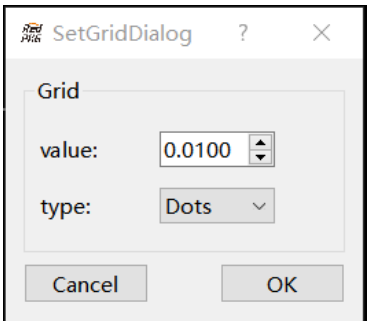
设定焊盘的路径：点击 Footprint Pad 后方...图标，跳出对话框，选择 Browse,选择需要的路径



6）点击 Tools->Grid

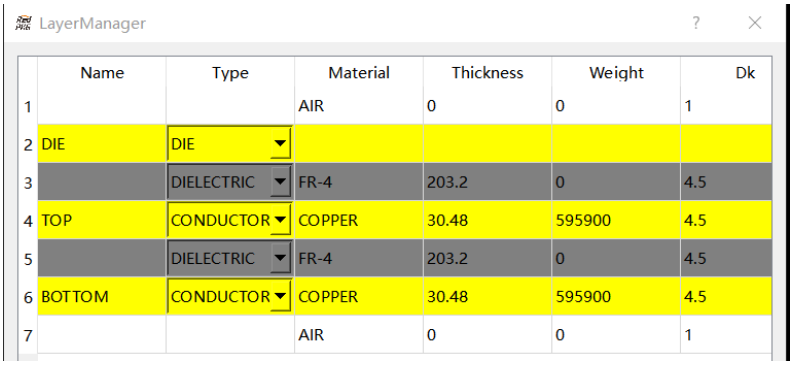
Value(输入需要的格点大小)，

Type（格点类型）：Dots（点状网格），off（隐藏网格），Lines（线型网格）



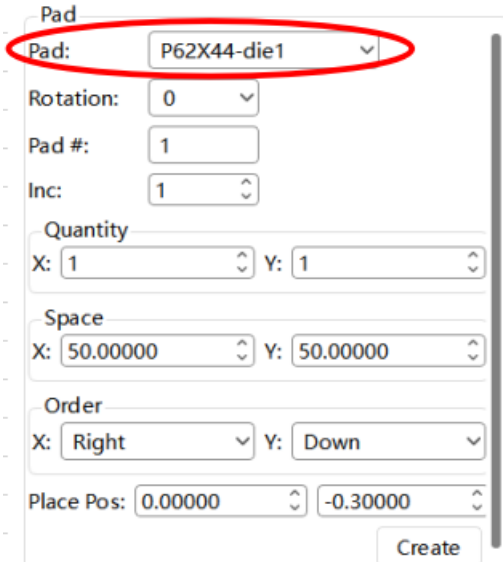
设置层叠，点击 **Modules->LayerManager**,或点击图标 ,弹出对话框：

在 Layer 属性 TOP 栏右键，选择 Add Layer Above，在 TOP 层增加 Layer Name:DIE 等 DIE 层，Type 设置为 DIE。

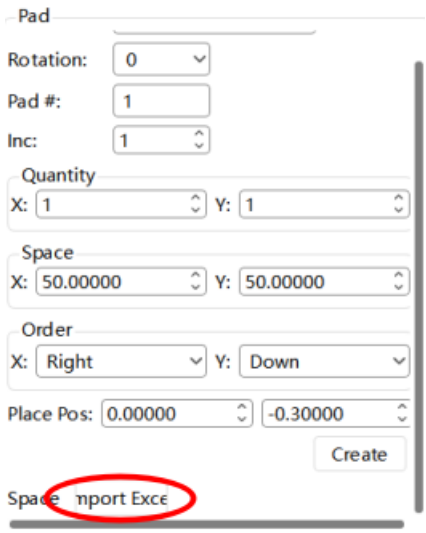


7）点击 **Draw->Footprintpad**

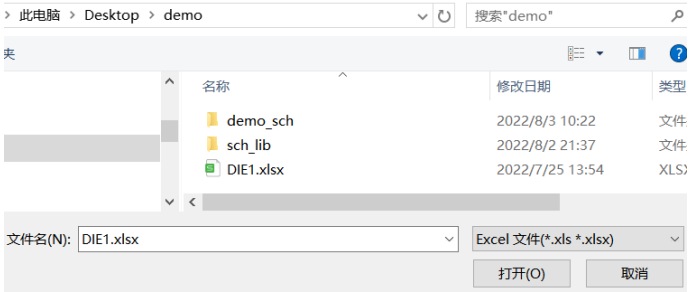
在右侧 **Selection** 面板中 Pad 栏选择需要的 **PAD:P62X44-die1**



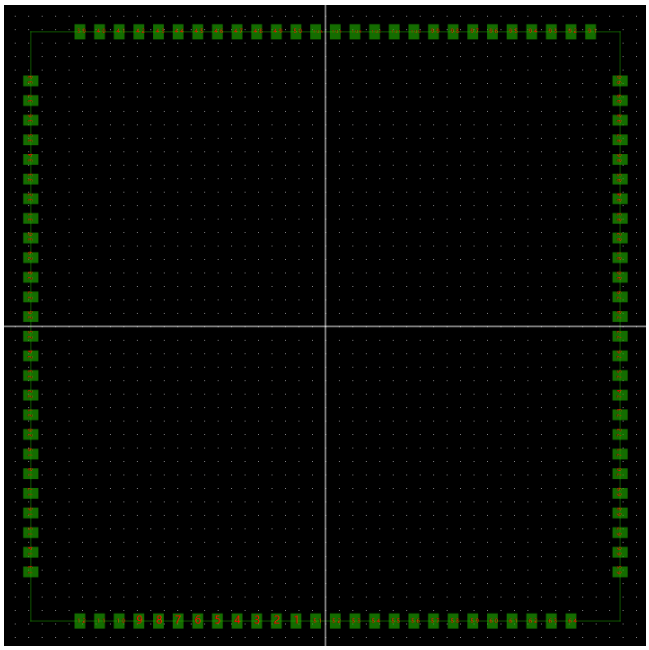
8）在右侧 Selection 面板中 Pad 栏选择,点击 Import Excel 选择 Excel 文件所在的路径



选择 Excel 文件所在的路径

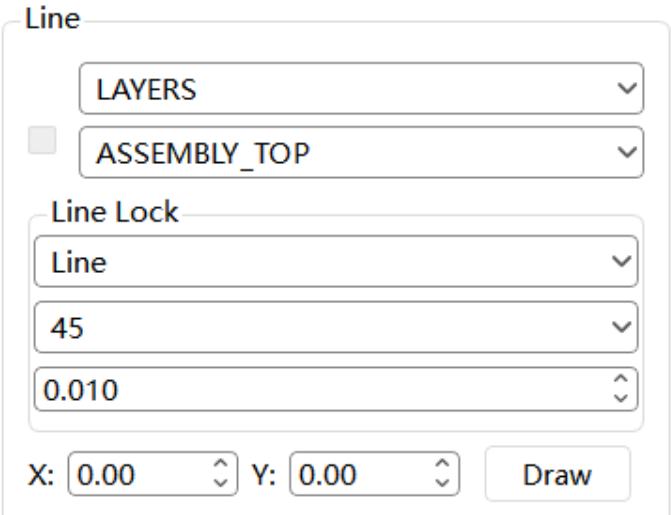


9）DIE1 的封装 Pad 就放置出来了



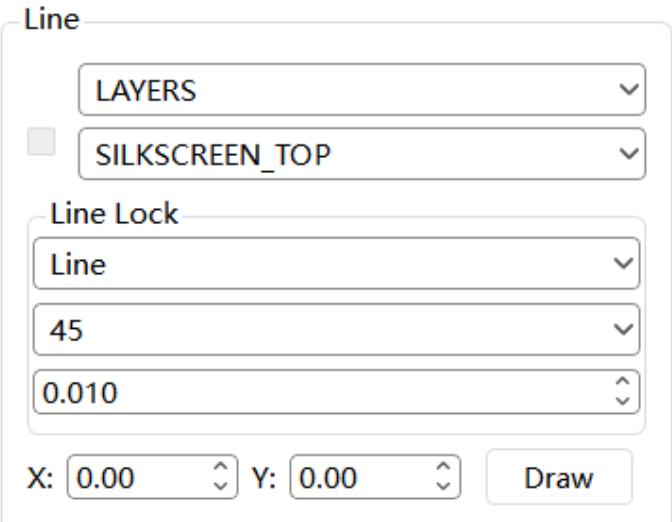
10）添加器件 Assembly Outline

点击图标 **Line** 或 **Draw->Line**,选择层面 **Layers/Assembly_Top**,选择角度 **90** 度，选择线宽 **0.01mm**，点击到 **PKG** 里面开始绘制，完成后单击右键选择 **Done**，至此绘制 **Assembly** 外形完成



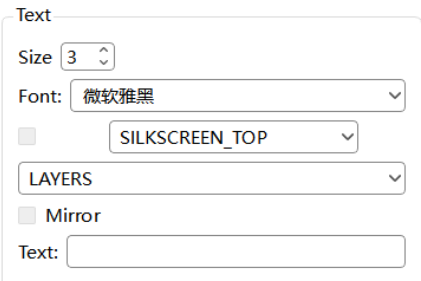
11）添加器件 Silkscreen Outline

点击图标 **Line** 或 **Draw->Line**,选择层面 **Layers/Silkscreen_Top**,选择角度 **90** 度，选择线宽 **0.01mm**，点击到 **PKG** 里面开始绘制，完成后单击右键选择 **Done**，至此绘制 **Silkscreen** 外形完成。



12）添加 Refdes 标签

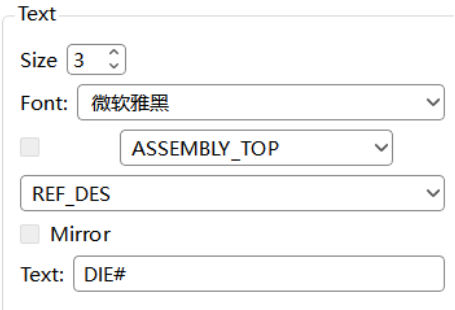
点击 **Draw->Text 或点击** T **图标，弹出 Text 面板**

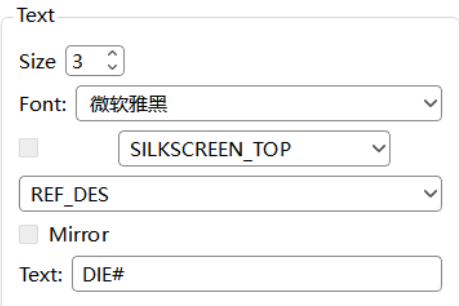


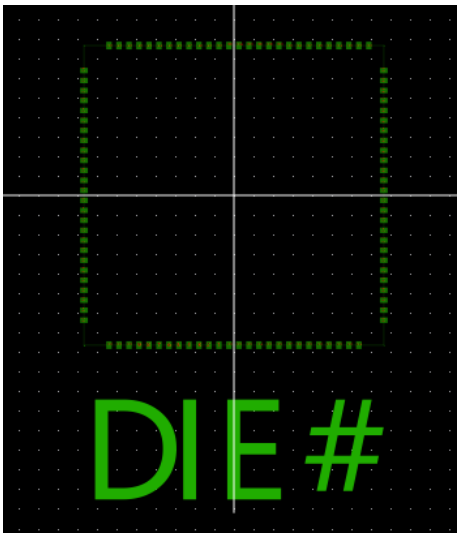
Size(选择字体的大小)，

Font（选择字体的类型)，

选择层面 **Ref_Des/Assembly_top**（装配层）,**Ref_Des/Silkscreen_top**（丝印层）输入需要的文字，点击到器件中心







Notes：放置的“REF#”分别是装配层及丝印层的器件位号占位标识符，当在 PKG 中导入网表或 SIP Excel 数据后，占位符将被实际器件位号所替代。

13） 点击菜单 **File -> Save** 进行保存。则在相应路径中生成一个 **DIE1.redpic** 文件及一个 **DIE1.redfp** 文件。

2.2 BGA 封装

1）点击 Draw -> Footprintpad

在右侧 Selection 面板中 Pad 栏选择需要的 PAD:BGAPAD_470

PAD#输入：A1

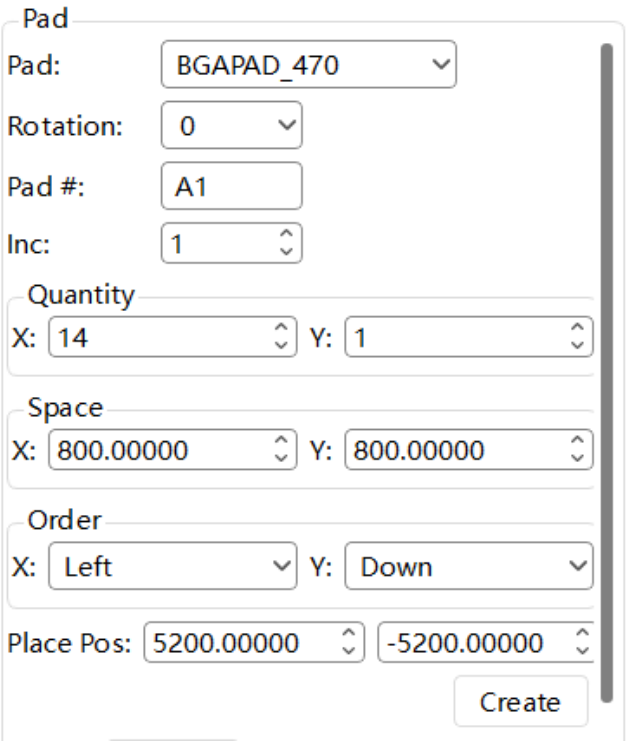
Quantity　X 输入：14　　Y 输入：1

Space　X 输入：800　　Y 输入：800

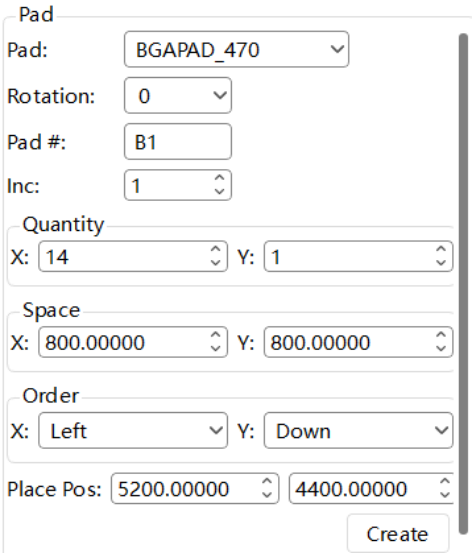
Order　X 选择 Left

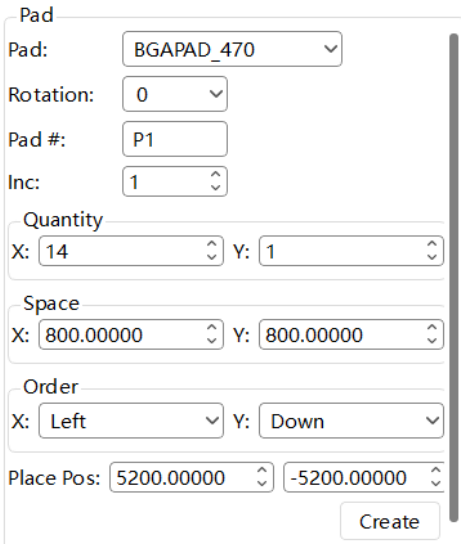
Place Pos: 5200　-5200

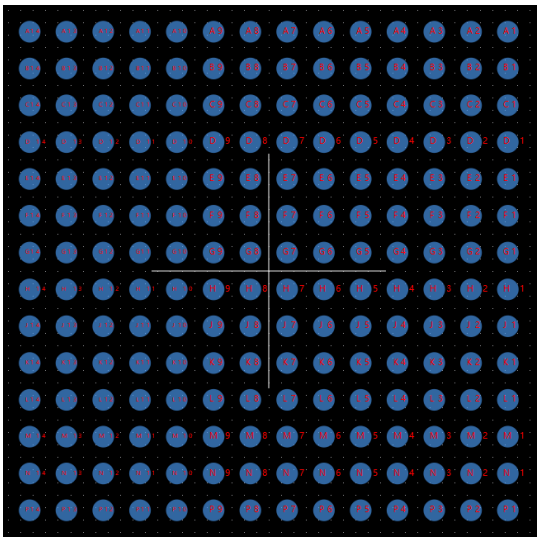
点击 Create 图标



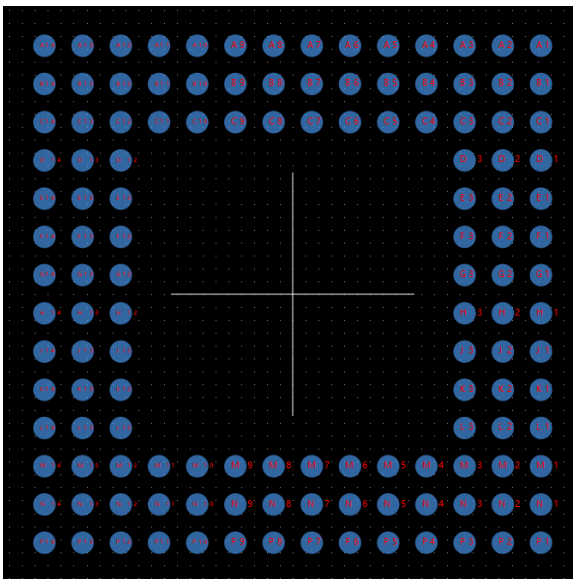
这样 14 个 Pad 就放置出来了，后面依次从 B1/C1/D1/E1/F1/G1/H1/J1/K1/L1/M1/N1/P1 开始，每行分别放置 14 个 Pad。放置完毕后，右键选择 Done,结束 Pad 的放置。


Pad
Pad:
BGAPAD_470
Rotation:
0
Pad #:
B1
Inc:
1
Quantity
X:
14
Y:
1
Space
X:
800.00000
Y:
800.00000
Order
X:
Left
Y:
Down
Place Pos:
5200.00000
4400.00000
Create


Pad
Pad:
BGAPAD_470
Rotation:
0
Pad #:
P1
Inc:
1
Quantity
X:
14
Y:
1
Space
X:
800.00000
Y:
800.00000
Order
X:
Left
Y:
Down
Place Pos:
5200.00000
-5200.00000
Create

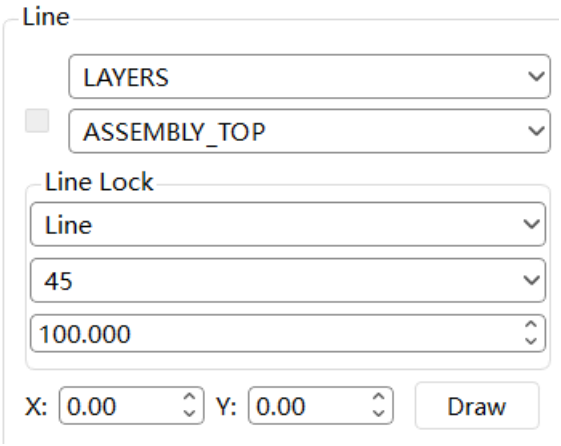


2）删除不需要的 Pad



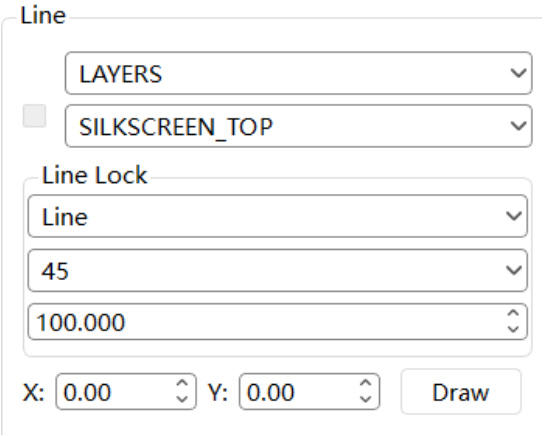
3）添加器件 Assembly Outline

点击图标 Line 或 Draw->Line,选择层面 Layers/Assembly_Top,选择角度 90 度，选择线宽 100um，点击到 PKG 里面开始绘制，完成后单击右键选择 Done，至此绘制 Assembly 外形完成



4）添加器件 Silkscreen Outline

点击图标 Line 或 Draw->Line,选择层面 Layers/Silkscreen_Top,选择角度 90 度，选择线宽 100um，点击到 PKG 里面开始绘制，完成后单击右键选择 Done，至此绘制 Silkscreen 外形完成。



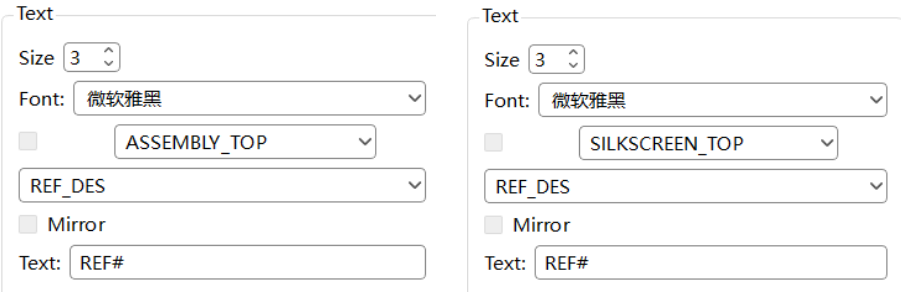
5）添加 Refdes 标签

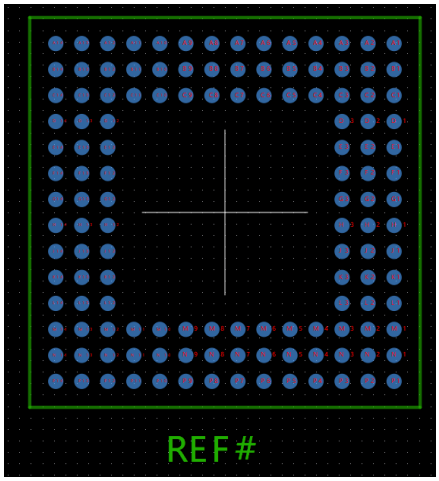
点击 Draw->Text 或点击 T 图标，弹出 Text 面板

Size(选择字体的大小）

Font（选择字体的类型）

选择层面 Ref_Des/Assembly_top（装配层）,Ref_Des/Silkscreen_top（丝印层）输入需要的文字，点击到器件中心。





Notes：放置的“REF#”分别是装配层及丝印层的器件位号占位标识符，当在 PKG 中导入网表或 SIP Excel 数据后，占位符将被实际器件位号所替代。

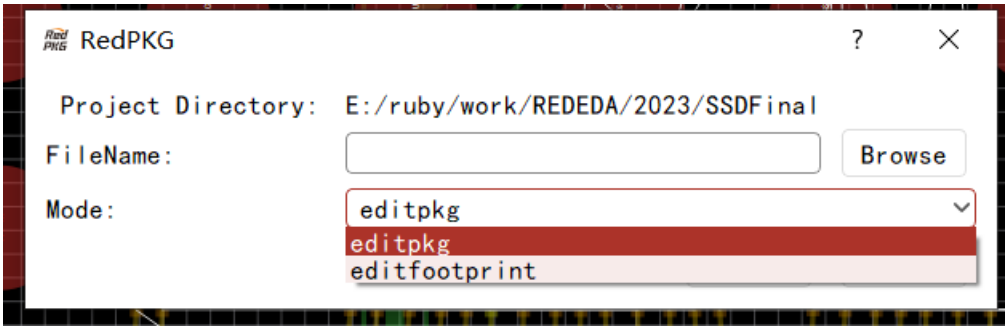
6) 点击菜单 File -> Save 进行保存。则在相应路径中生成一个 **BGA14x14.redpic** 文件及一个 **BGA14x14.redfp** 文件。

3 设计参数设定

3.1 新建 PKG

打开软件 RedPKG,进入 PKG 设计界面

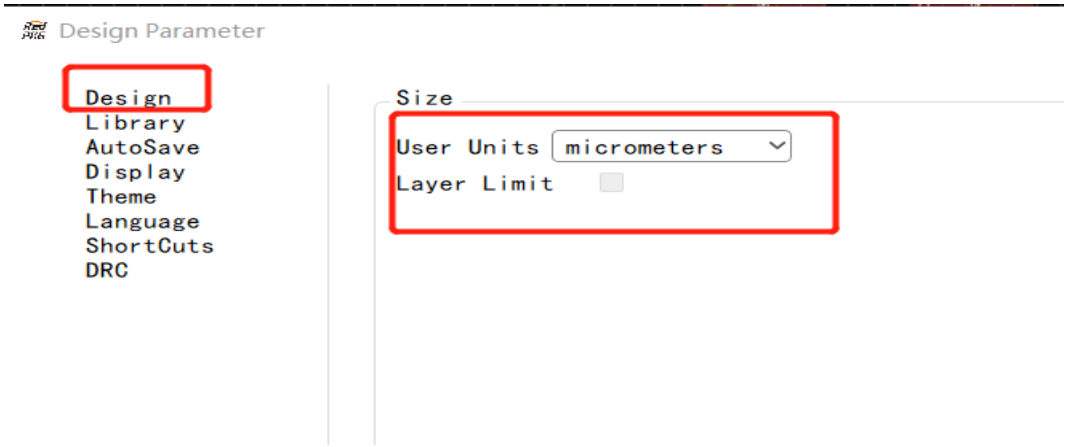
在 Redpkg 窗口中，点击菜单 ***File->New***，File Name 输入新建的 PKG 名称“WB-DDR-netlist-DEMO”，点击 Browse 可以选择存盘路径。Mode 选择“Editpkg”，最后点击“**OK**”，确认创建 PKG。



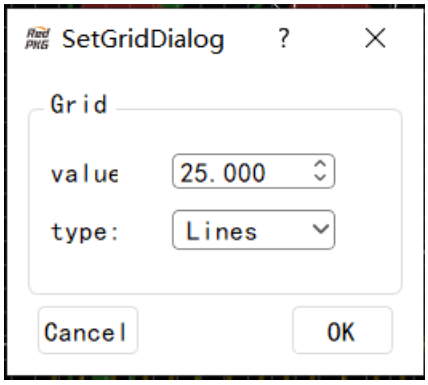
3.2 设置网格单位与网格距离

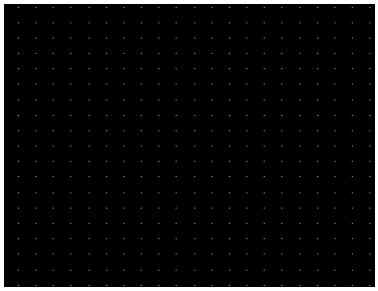
点击菜单 File->*settings* 在弹出的“Design Parameter”窗口中，Design 中选择操作单位。

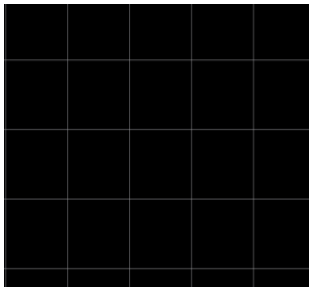
.

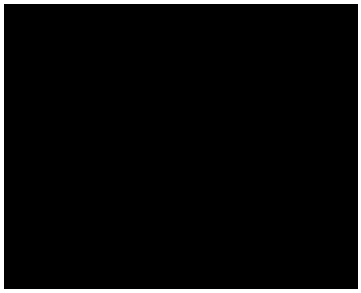


点击 Tools->**Grid->Value**(输入需要的格点大小)，**type**（格点类型）: Dots（点状网格），off（隐藏网格），Lines（线型网格）。









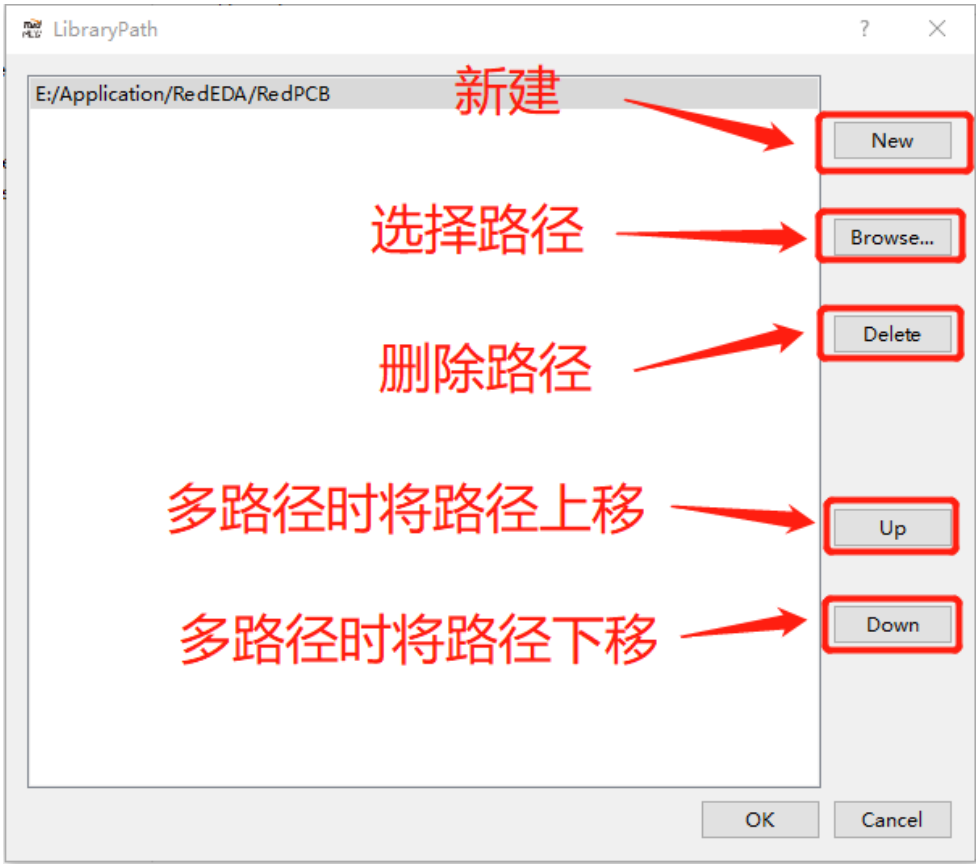
Dots（点状网格）　　Lines（线的形态）　　off（隐藏网格）

3.3 设定库路径

点击菜单 ***File ->settings*** 在弹出的“Design Parameter”窗口中，点击 Library。

设定库路径：点击 Footprint 后方...图标，跳出对话框，选择 Browse，选择需要的路径。

设定焊盘的路径：点击 Footprint Pad 后方...图标，跳出对话框，选择 Browse，选择需要的路径。



Delete: 可以将之前设定的路径删除

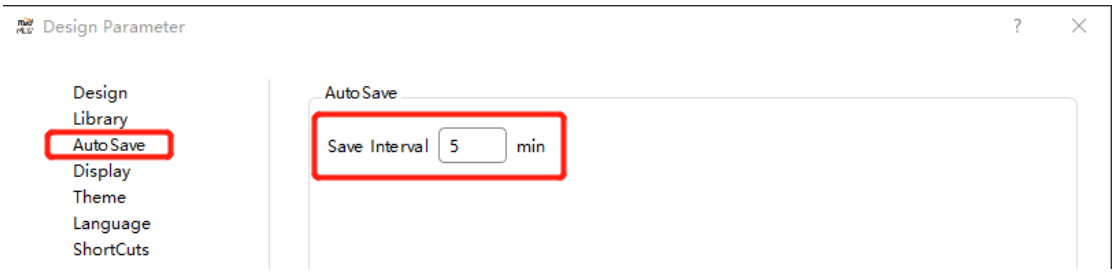
Up: 多路径时可以将重要的路径点击后选择 **Up**，选择的路径就会上升一位

Dow: 多路径时可以将路径点击后选择 **Dow**，选择的路径就会下降一位

软件调取库的时候，路径比较多的时候，会根据从上到下的优先顺序来调取。

3.4 自动保存设置

点击菜单 ***File ->Settings*** 在弹出的“Design Parameter”窗口中，点击 Autosave，Save interval 输入需要的时间。



3.5 显示设置

点击菜单 ***File ->Settings*** 在弹出的“Design Parameter”窗口中，点击 Display。

Display Mode（显示设置）:勾选需要的选项

Filled Pad: 焊盘填充（勾选后焊盘会显示实心，不勾选焊盘显示空心）

Filled Track: 走线填充（勾选后走线会显示实心，不勾选走线显示空心）

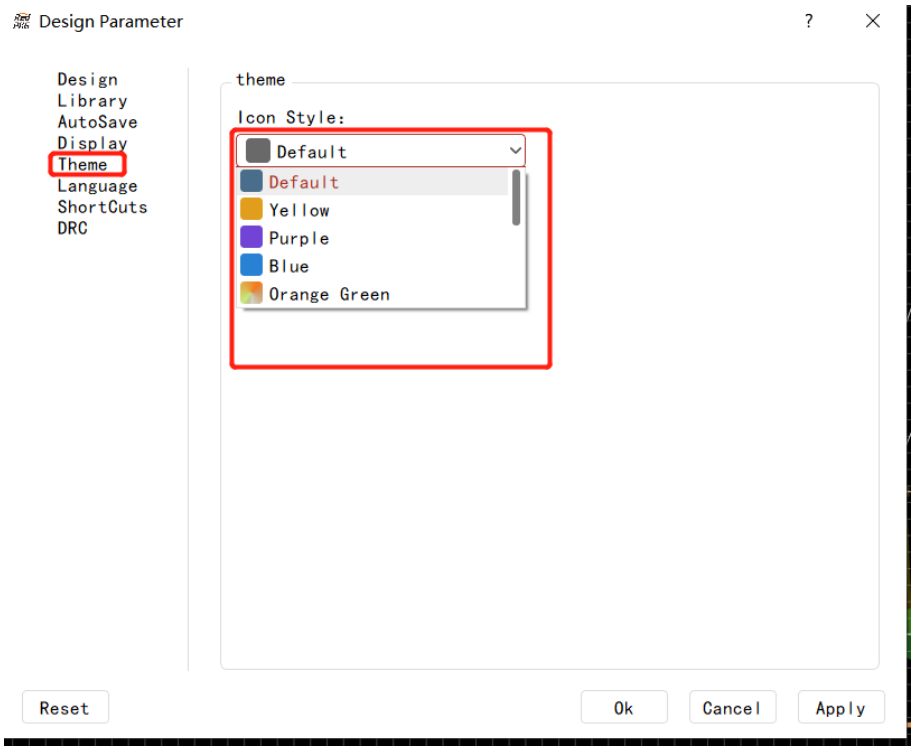
Filled Copper: 铜皮填充(勾选后走线会铜皮实心,不勾选铜皮显示空心）

Net Name（网络名显示）：勾选需要的选项

Visibility(可见度）

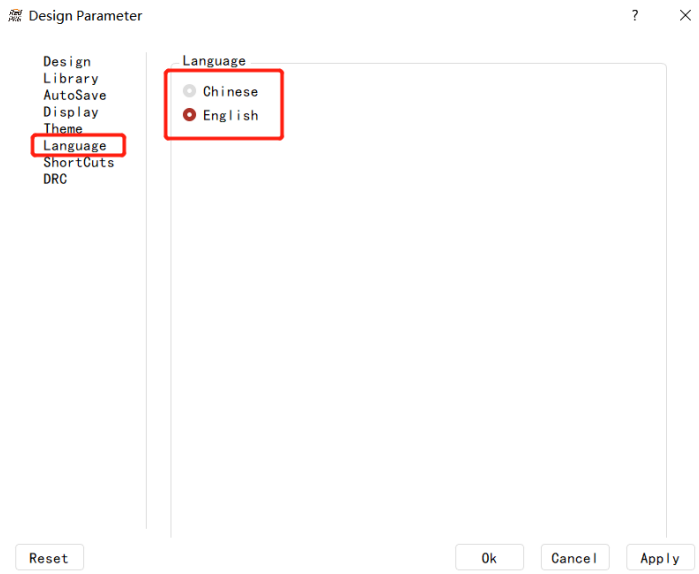
3.6 主题设置

点击菜单 ***File ->Settings*** 在弹出的“Design Parameter ”窗口中，点击 Theme,选择喜欢的颜色主题



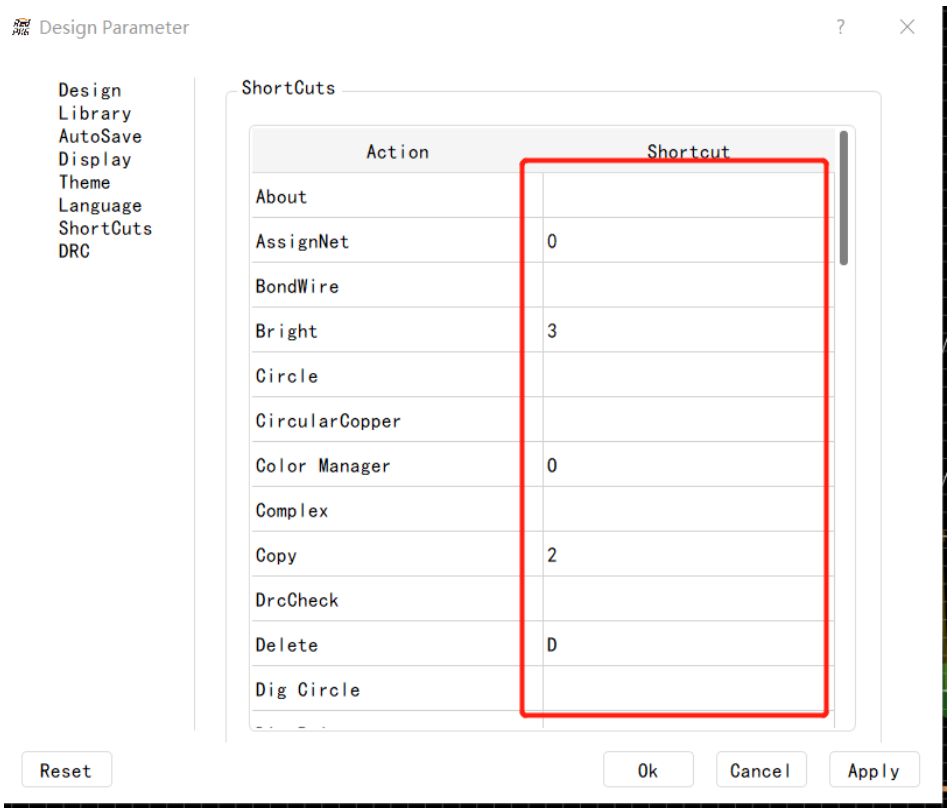
3.7 语言设置

点击菜单 ***File ->Settings*** 在弹出的“Design Parameter ”窗口中，点击 Language,选择需要的语言



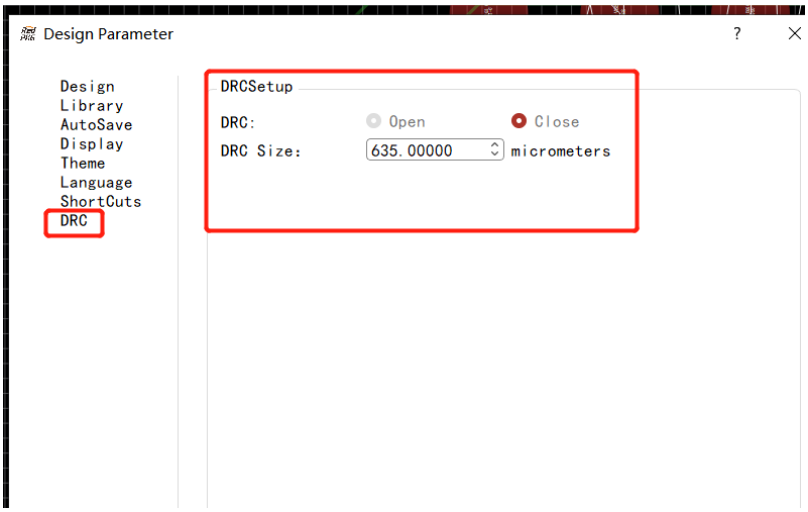
3.8 快捷键设定

点击菜单 ***File ->Settings*** 在弹出的“Design Parameter ”窗口中，点击 Shortcuts,设定快捷键



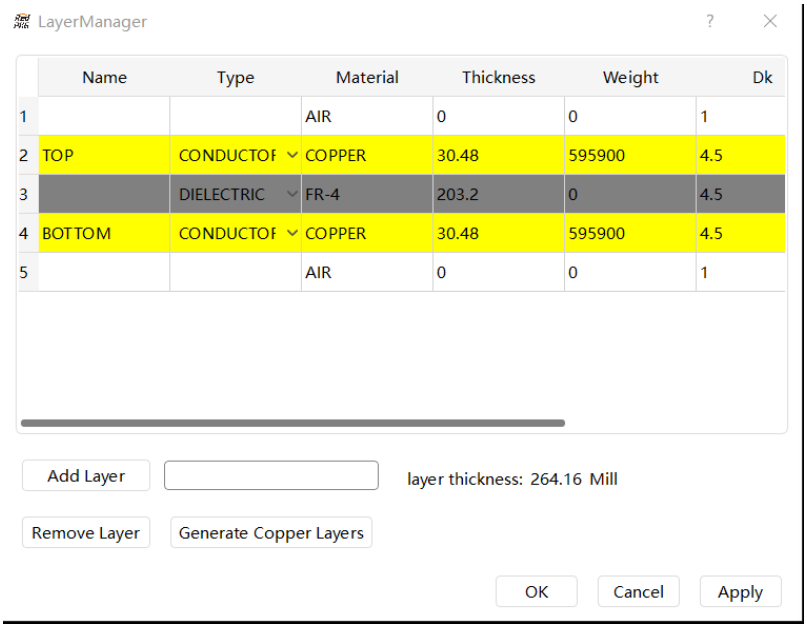
3.9 DRC 大小设置

点击菜单 ***File ->Settings*** 在弹出的“Design Parameter ”窗口中，点击 DRC,设定大小

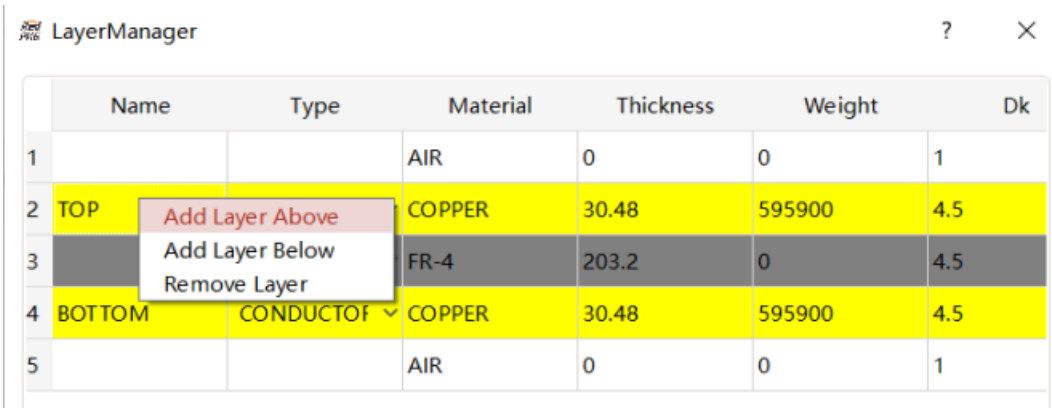


4 设置叠层

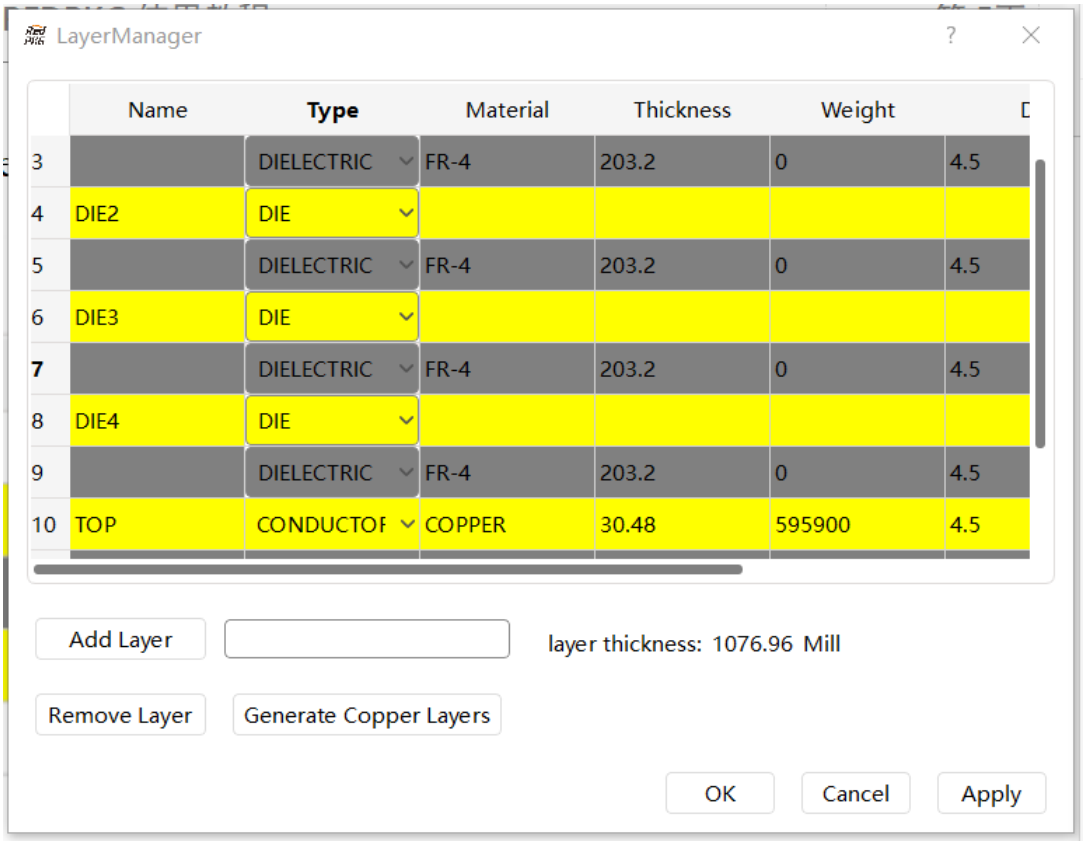
4.1 点击 Modules->LayerManager,或点击图标 ,弹出对话框：



4.2 在 Layer 属性 TOP 栏右键，选择 Add Layer Above



4.3 在 TOP 层上分别依次增加 Layer Name:DIE1,DIE2,DIE3,DIE4 等 DIE 层，Type 设置为 DIE。DIE 层叠的可根据实际的工程项目需求设置。



4.4 点击 OK 图标，保存增加的 DIE 层参数。

5 导入 SIP 和 Netlist

5.1 导入 SIP

5.1.1 准备 SIP 文件，SIP 文件规范如下图,

表格第一页：BGA 的网络列表

Footprint Name:输入封装名

RefDes:输入位号

Ball Size X: BGA X 向尺寸

Ball Size Y: BGA Y 向尺寸

Ball Count:球的数量,可以不填写

Ball Pitch:球的尺寸

Padstack:焊盘名字

Coordinate:坐标

Pin Number:输入 PIN Number

Padstack:输入每一个焊盘的焊盘名

X Coord:焊盘的 X 坐标

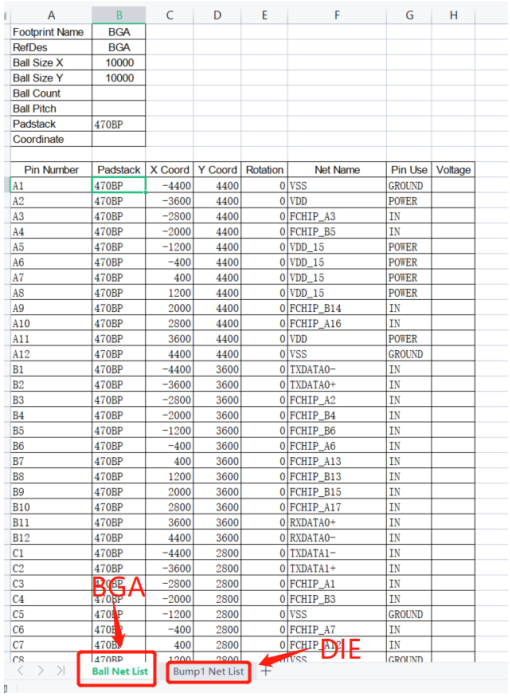
Y Coord:焊盘的 Y 坐标

Rotation:焊盘的旋转角度

Net Name:焊盘连接的信号名

Pin Use:Pin 的类型

Voltage:电压



	B
Footprint Name	BGA
RefDes	BGA
Ball Size X	10000
Ball Size Y	10000
Ball Count	
Ball Pitch	
Padstack	470BP
Coordinate	

Pin Number	Padstack	X Coord	Y Coord	Rotation	Net Name	Pin Use	Voltage
A1	470BP	-4400	4400	0	VSS	GROUND	
A2	470BP	-3600	4400	0	VDD	POWER	
A3	470BP	-2800	4400	0	FCHIP_A3	IN	
A4	470BP	-2000	4400	0	FCHIP_B5	IN	
A5	470BP	-1200	4400	0	VDD_15	POWER	
A6	470BP	-400	4400	0	VDD_15	POWER	
A7	470BP	400	4400	0	VDD_15	POWER	
A8	470BP	1200	4400	0	VDD_15	POWER	
A9	470BP	2000	4400	0	FCHIP_B14	IN	
A10	470BP	2800	4400	0	FCHIP_A16	IN	
A11	470BP	3600	4400	0	VDD	POWER	
A12	470BP	4400	4400	0	VSS	GROUND	
B1	470BP	-4400	3600	0	TXDATA0-	IN	
B2	470BP	-3600	3600	0	TXDATA0+	IN	
B3	470BP	-2800	3600	0	FCHIP_A2	IN	
B4	470BP	-2000	3600	0	FCHIP_B4	IN	
B5	470BP	-1200	3600	0	FCHIP_B6	IN	
B6	470BP	-400	3600	0	FCHIP_A6	IN	
B7	470BP	400	3600	0	FCHIP_A13	IN	
B8	470BP	1200	3600	0	FCHIP_B13	IN	
B9	470BP	2000	3600	0	FCHIP_B15	IN	
B10	470BP	2800	3600	0	FCHIP_A17	IN	
B11	470BP	3600	3600	0	RXDATA0+	IN	
B12	470BP	4400	3600	0	RXDATA0-	IN	
C1	470BP	-4400	2800	0	TXDATA1-	IN	
C2	470BP	-3600	2800	0	TXDATA1+	IN	
C3	470BP	-2800	2800	0	FCHIP_A1	IN	
C4	470BP	-2000	2800	0	FCHIP_B3	IN	
C5	470BP	-1200	2800	0	VSS	GROUND	
C6	470BP	-400	2800	0	FCHIP_A7	IN	
C7	470BP	400	2800	0	FCHIP_B12	IN	
C8	470BP	1200	2800	0	VSS	GROUND	

表格第二页：为 DIE 的网络列表

Footprint Name:输入 DIE 的封装名

RefDes:输入位号

Bump Size X: DIE X 向尺寸

Bump Size Y: DIE Y 向尺寸

Bump Count:DIE 的数量,可以不填写

Bump Pitch:DIE 的尺寸

Padstack:焊盘名字

Coordinate:坐标

Pin Number:输入 PIN Number

Padstack:输入每一个焊盘的焊盘名

X Coord:焊盘的 X 坐标

Y Coord:焊盘的 Y 坐标

Rotation:焊盘的旋转角度

Net Name:焊盘连接的信号名

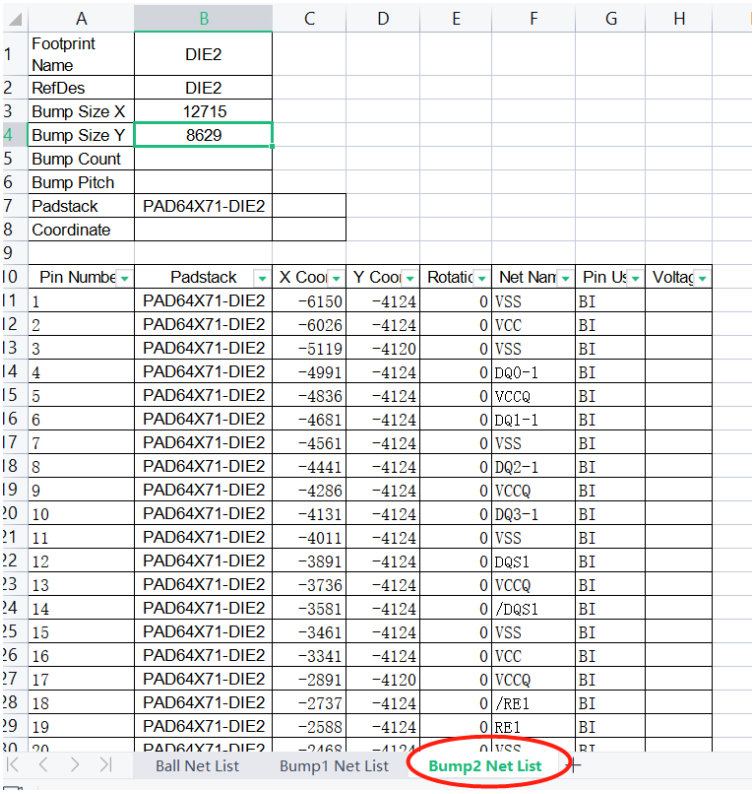
Pin Use:Pin 的类型

Voltage:电压

	A	B	C	D	E	F	G	H
1	Footprint Name	DIE						
2	RefDes	DIE						
3	Bump Size X	4500						
4	Bump Size Y	4500						
5	Bump Count							
6	Bump Pitch							
7	Padstack	C4_BUMP						
8	Coordinate							
9								
10	Pin Number	Padstack	X Coord	Y Coord	Rotation	Net Name	Pin Use	Voltage
11	A1	C4_BUMP	-1912.5	1912.5	0	FCHIP_A1	OUT	
12	A2	C4_BUMP	-1687.5	1912.5	0	FCHIP_A2	OUT	
13	A3	C4_BUMP	-1462.5	1912.5	0	FCHIP_A3	OUT	
14	A6	C4_BUMP	-787.5	1912.5	0	FCHIP_A6	OUT	
15	A7	C4_BUMP	-562.5	1912.5	0	FCHIP_A7	OUT	
16	A9	C4_BUMP	-112.5	1912.5	0	VDD_15	POWER	
17	A10	C4_BUMP	112.5	1912.5	0	VDD_15	POWER	
18	A12	C4_BUMP	562.5	1912.5	0	FCHIP_A12	OUT	
19	A13	C4_BUMP	787.5	1912.5	0	FCHIP_A13	OUT	
20	A16	C4_BUMP	1462.5	1912.5	0	FCHIP_A16	OUT	
21	A17	C4_BUMP	1687.5	1912.5	0	FCHIP_A17	OUT	
22	A18	C4_BUMP	1912.5	1912.5	0	FCHIP_A18	OUT	
23	B1	C4_BUMP	-1912.5	1687.5	90	TXDATA0+	OUT	
24	B2	C4_BUMP	-1687.5	1687.5	0	VSS	GROUND	
25	B3	C4_BUMP	-1462.5	1687.5	0	FCHIP_B3	OUT	
26	B4	C4_BUMP	-1237.5	1687.5	0	FCHIP_B4	OUT	
27	B5	C4_BUMP	-1012.5	1687.5	0	FCHIP_B5	OUT	
28	B6	C4_BUMP	-787.5	1687.5	0	FCHIP_B6	OUT	
29	B7	C4_BUMP	-562.5	1687.5	0	VDD_15	POWER	
30	B8	C4_BUMP	-337.5	1687.5	0	VDD_15	POWER	

Ball Net List　Bump1 Net List

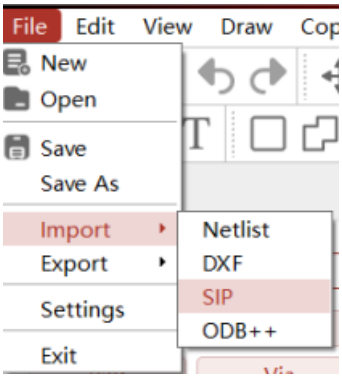
两个 DIE 需要在表格后方点击+，命名为 Bump2 Net List,格式与 Bump1 的格式一样



	A	B	C	D	E	F	G	H
1	Footprint Name	DIE2						
2	RefDes	DIE2						
3	Bump Size X	12715						
4	Bump Size Y	8629						
5	Bump Count							
6	Bump Pitch							
7	Padstack	PAD64X71-DIE2						
8	Coordinate							
9								
10	Pin Numbe	Padstack	X Coo	Y Coo	Rotatio	Net Nam	Pin Us	Voltag
11	1	PAD64X71-DIE2	-6150	-4124	0	VSS	BI	
12	2	PAD64X71-DIE2	-6026	-4124	0	VCC	BI	
13	3	PAD64X71-DIE2	-5119	-4120	0	VSS	BI	
14	4	PAD64X71-DIE2	-4991	-4124	0	DQ0-1	BI	
15	5	PAD64X71-DIE2	-4836	-4124	0	VCCQ	BI	
16	6	PAD64X71-DIE2	-4681	-4124	0	DQ1-1	BI	
17	7	PAD64X71-DIE2	-4561	-4124	0	VSS	BI	
18	8	PAD64X71-DIE2	-4441	-4124	0	DQ2-1	BI	
19	9	PAD64X71-DIE2	-4286	-4124	0	VCCQ	BI	
20	10	PAD64X71-DIE2	-4131	-4124	0	DQ3-1	BI	
21	11	PAD64X71-DIE2	-4011	-4124	0	VSS	BI	
22	12	PAD64X71-DIE2	-3891	-4124	0	DQS1	BI	
23	13	PAD64X71-DIE2	-3736	-4124	0	VCCQ	BI	
24	14	PAD64X71-DIE2	-3581	-4124	0	/DQS1	BI	
25	15	PAD64X71-DIE2	-3461	-4124	0	VSS	BI	
26	16	PAD64X71-DIE2	-3341	-4124	0	VCC	BI	
27	17	PAD64X71-DIE2	-2891	-4120	0	VCCQ	BI	
28	18	PAD64X71-DIE2	-2737	-4124	0	/RE1	BI	
29	19	PAD64X71-DIE2	-2588	-4124	0	RE1	BI	
30	20	PAD64X71-DIE2	-2468	-4124	0	VSS	BI	

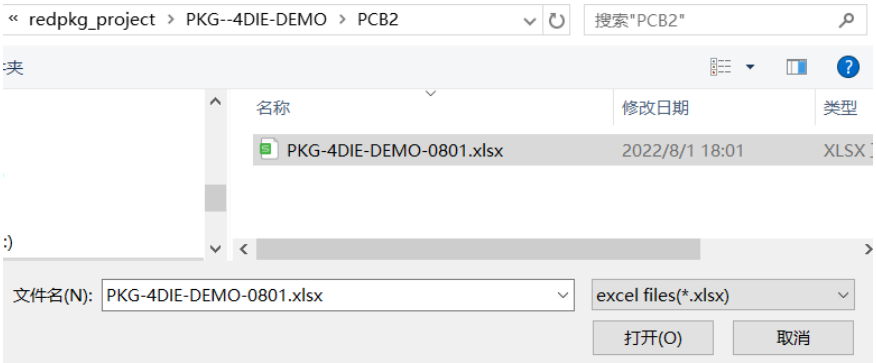
Ball Net List | Bump1 Net List | Bump2 Net List

5. 1. 2 在新建的 RedPKG 里，点击 File->Import->SIP。

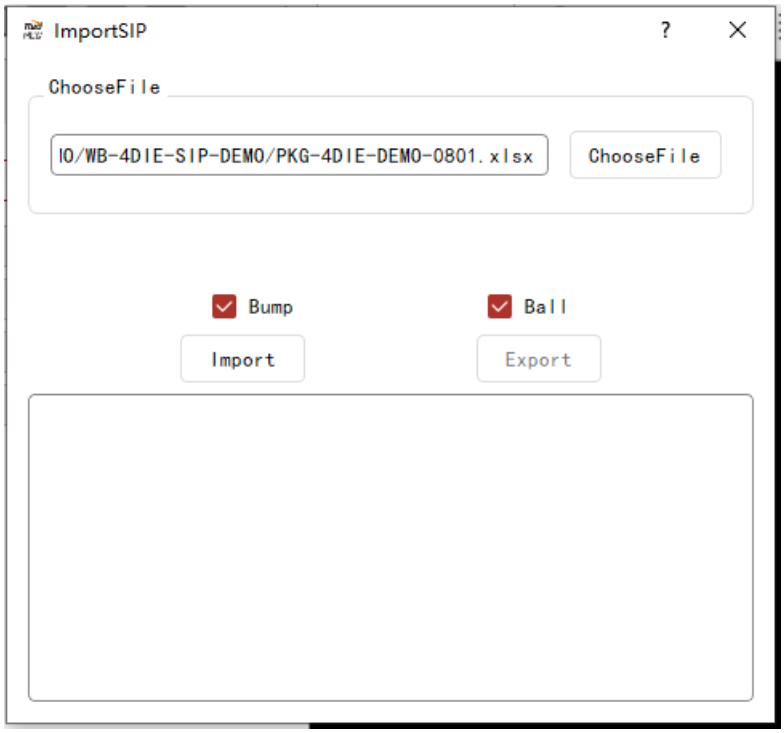


5.1.3 弹出 ImportSIP 对话框，已建好封装的，不用勾选 Bump 和 Ball,没建封装，必须要有焊盘，勾选 Bump 和 Ball 可以自动建封装并导入网表

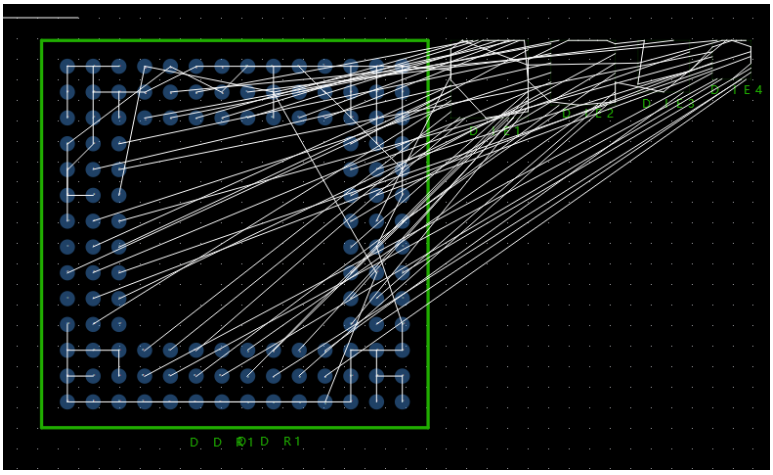
5.1.4 点击 ChooseFile 图标，选择 SIP 数据文件放置的路径



5.1.5 在 ImportSIP 对话框里，点击 Import 图标



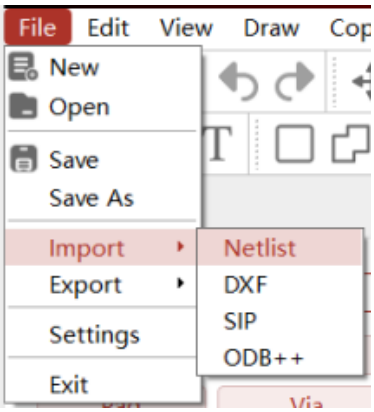
5.1.6 数据就导进来了，Footprint 已放置在画布上



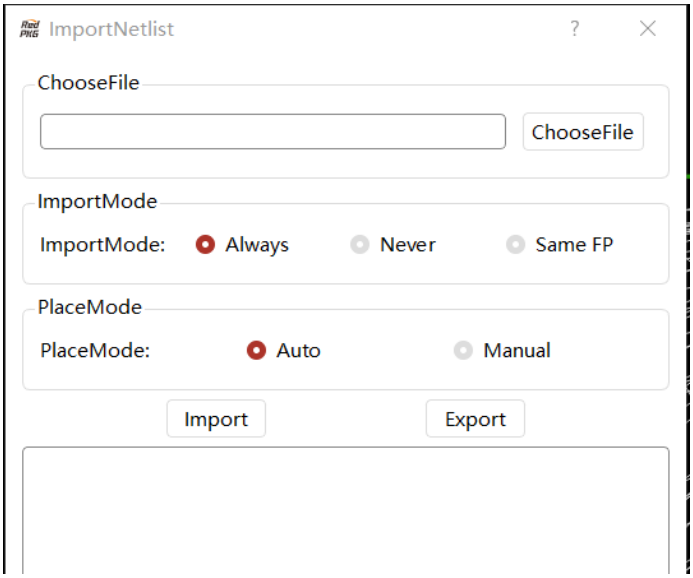
5.1.7 点击菜单 File -> Save 进行保存。

5.2 导入网表

5.2.1 在新建的 RedPKG 里，点击 File->Import->Netlist



5.2.2 弹出 Netlist 对话框



ImportMode:

勾选 Always：表示对于在 PKG 中已放置的器件，无论其在原理图中的连接关系或其属性发生任何改变，更新网表后都不改变器件的位置。该项为建议默认设置。(一般情况下，都会勾选 Always)

勾选 Never：表示只要器件在原理图中有任何更新，更新网表后就在 PKG 中将相应器件将变为 unplaced 状态，也就是我们俗称的将器件飞掉。

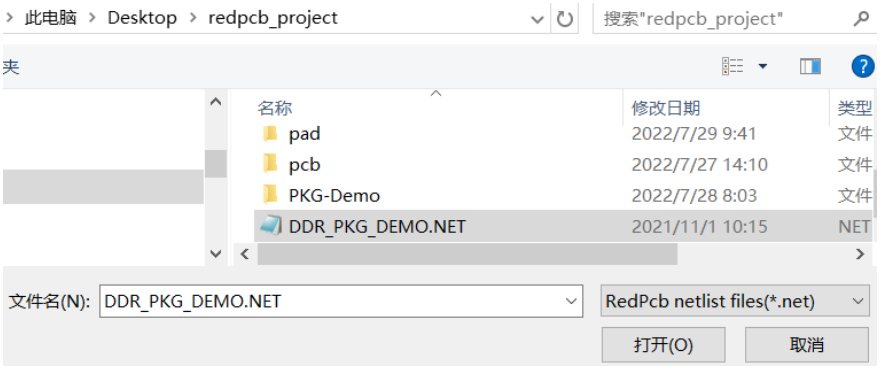
勾选 same fp:表示如果器件在原理图中有所更新,但其封装(Footprint)、Value 值、Tolerance 精度没有发生变化，更新网表后将不改变器件的位置；但是如果以上三个属性中任何一个发生变化，更新网表后将相应器件飞掉。

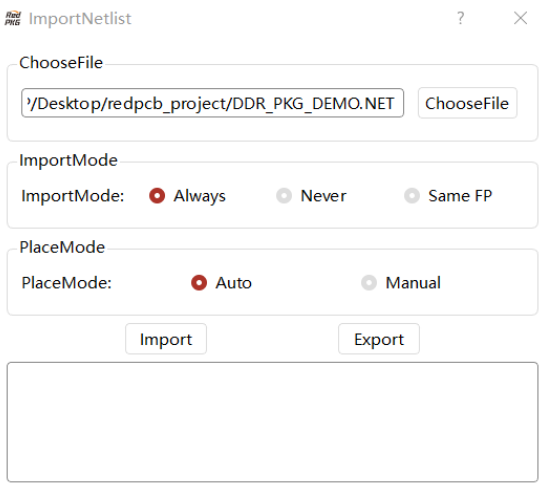
PlaceMode:

勾选 Auto:自动放置

勾选 Manual:手动放置

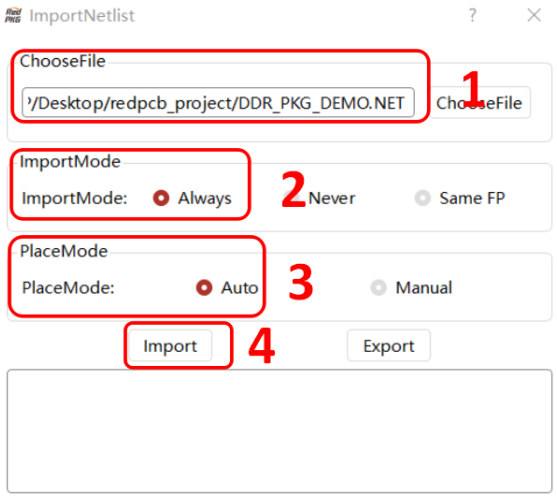
5.2.3 点击 ChooseFile 图标，选择 Netlist 数据文件放置的路径

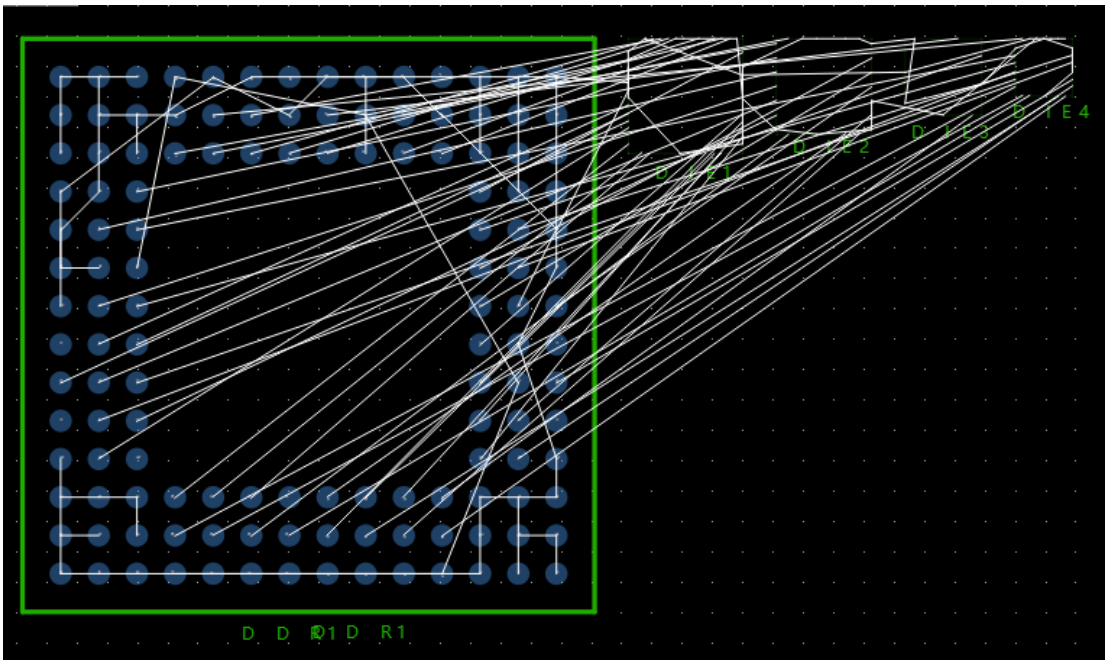




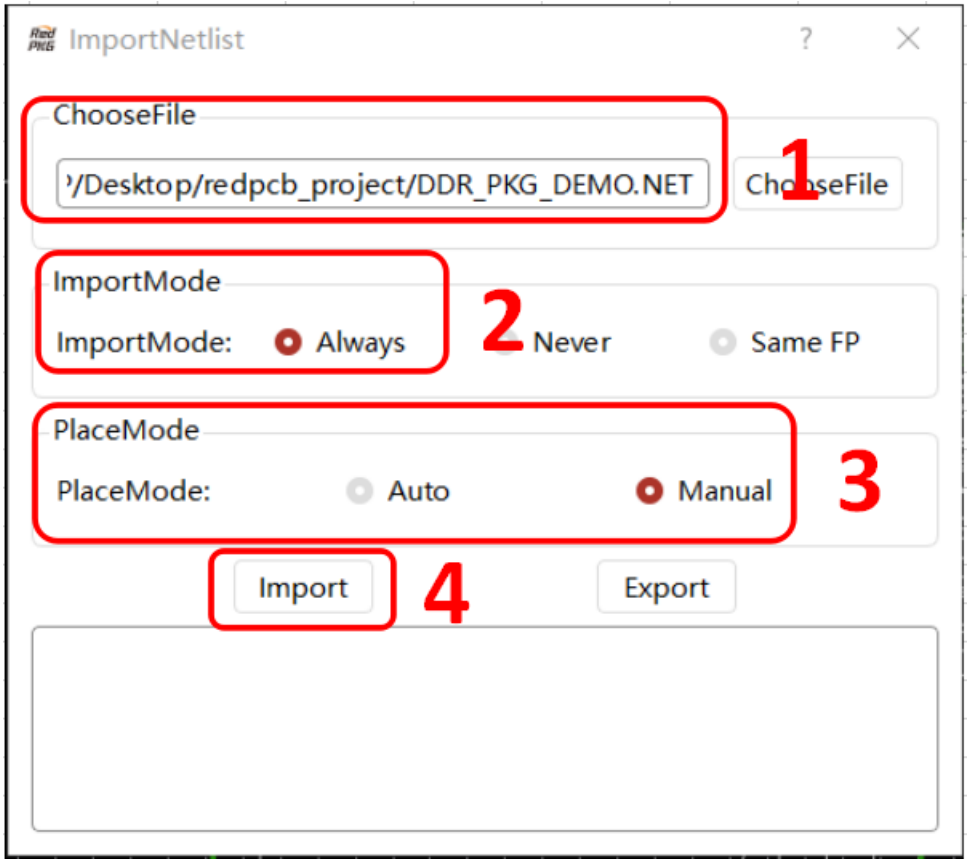
5.2.4 自动放置

ImportMode:勾选 Always ，PlaceMode:勾选 Auto，点击 Import,所有器件就已经调进 PKG 里面了



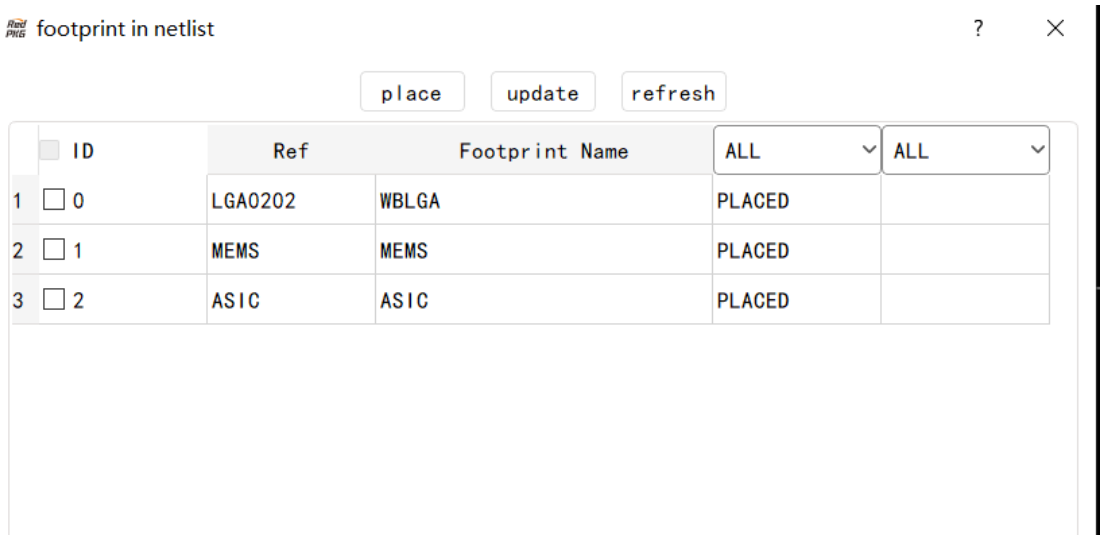


5.2.5 手动放置：ImportMode:勾选 Always ，PlaceMode:勾选 Manual，点击 Import,板子上没有器件，但是器件已经在 PKG 后台了



将后台的器件调入 PKG 板里面，点击 Draw->Netlist Footprint,跳出对话

框，选择需要的器件，点击 Place,器件就调入 PKG 里面了（不小心删除器件也是在这里面调入进来）。

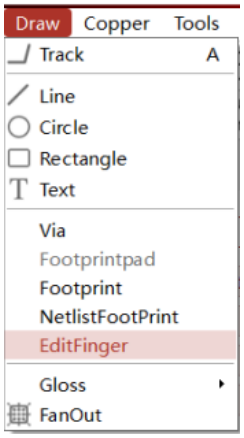


5.2.6 点击菜单 File -> Save 进行保存。

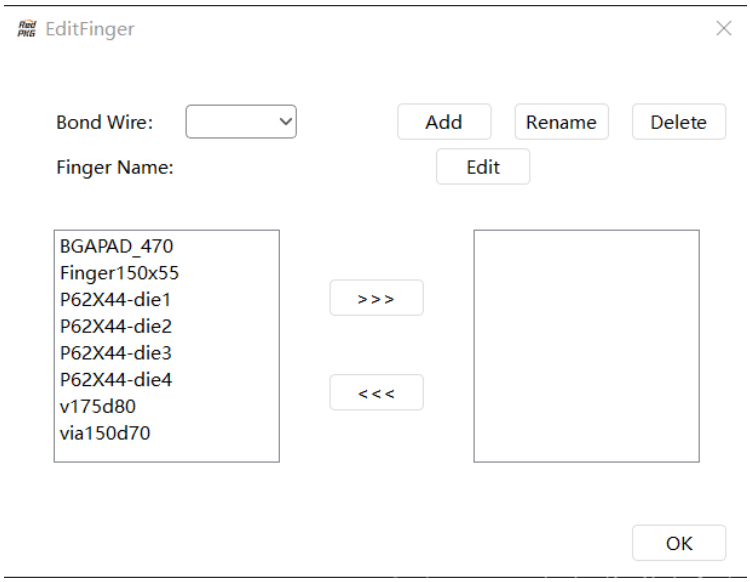
6 Finger 设置和放置

6.1Finger 设置

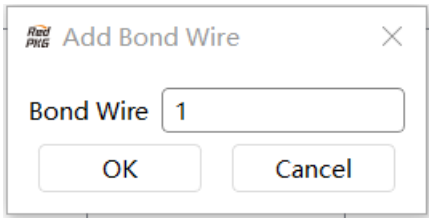
1)点击 Draw->EditFinger



2）弹出 EditFinger 对话框

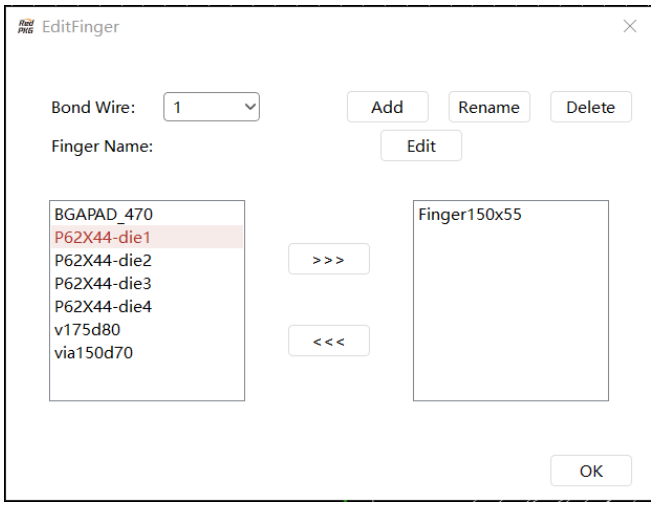


3)点击 Add 图标，弹出 Add Bond Wire 对话框，在 Bond Wire 后面的数据框输入：1，点击 OK。

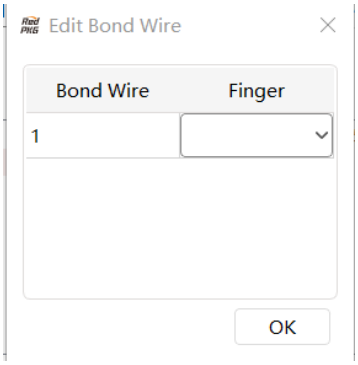


)在 EditFinger 对话框里,在 Finger Name 下的方框里,双击需要的 Finger,双击后，所需要的 Finger 就移动到右边的方框里。

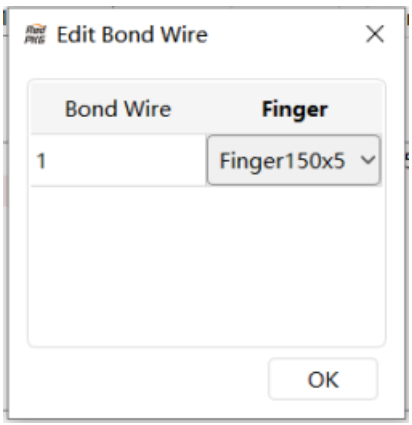
(说明：Finger 焊盘的创建在 RedPAD 里同普通的贴片焊盘一样操作，可在命名 Finger 焊盘的名称时，前缀加上 Finger，方边后续的辩识和操作）



点击 Edit 图标，弹出 Edit Bond Wire 对话框

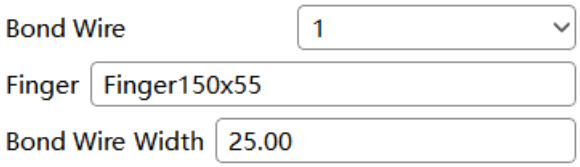


在 Finger 下的下拉列表里，选择所增加的 Finger 焊盘，点击 OK。这样 Finger 就设置好了



6.2 Finger 放置

1)点击 图标放置 Bond Wire 和 Finger,弹出 Bond Wire 面板

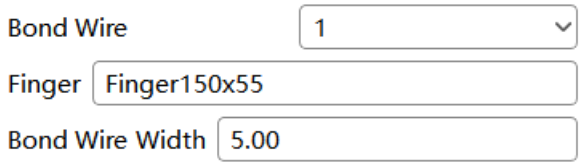


面板里显示：Bond Wire 的序号

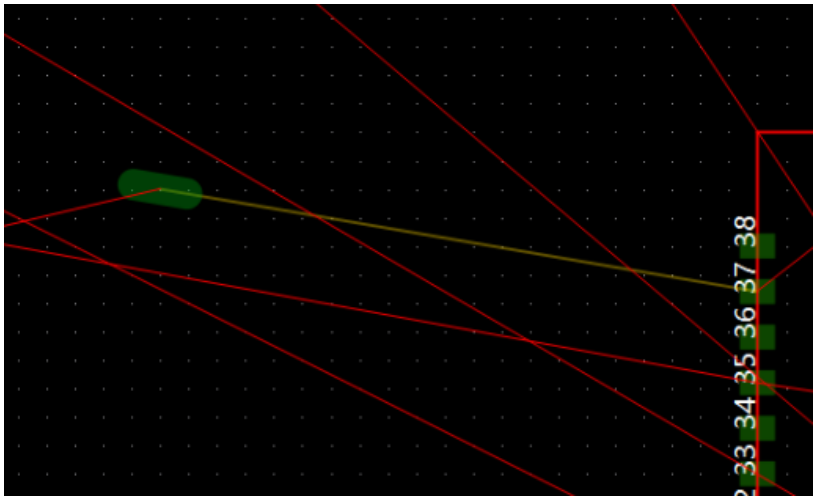
Finger 的类型

Bond Wire Width

根据个人习惯，可 Bond Wire Width 更改为：5



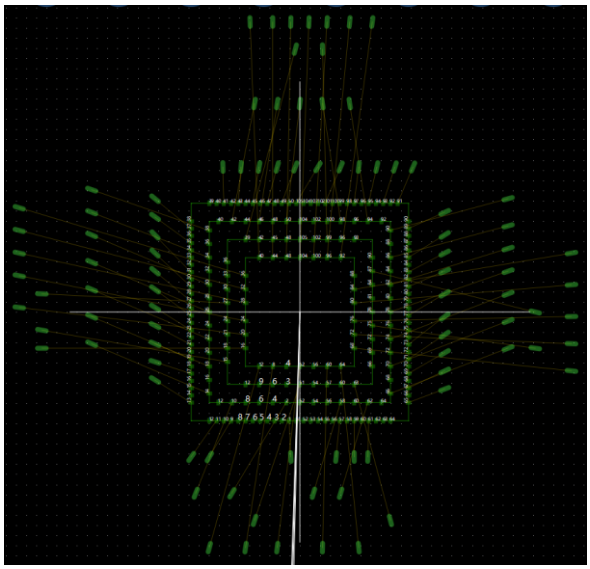
2）根据鼠线显示的连接显示，点击 DIE 的焊盘，Finger 和 Bond Wire 就吸附在鼠标上，移动鼠标，在合适的位置单击，Finger 和 Bond Wire 就放置在画布上。



3）重复上面的 Finger 和 Bond Wire 的放置操作，把 DIE 的焊盘有网络连接显示放置完成 Finger 和 Bond Wire。

放置 Finger 和 Bond Wire 时，要按设置的格点布放，在多 DIE 封装层叠的工程项目里，每个 DIE 的 Finger 要放在同一行或同一列。最底层的 Finger 距离 DIE 较近，最底层相邻的上一层的 Finger 要放置离 DIE 次之，其它 DIE 的 Finger 放置距离 DIE 依此类推。

（在放置 Finger 和 Bond Wire 时，由于 PIN 较多，要养成操作一定时间就保存文件的习惯。）

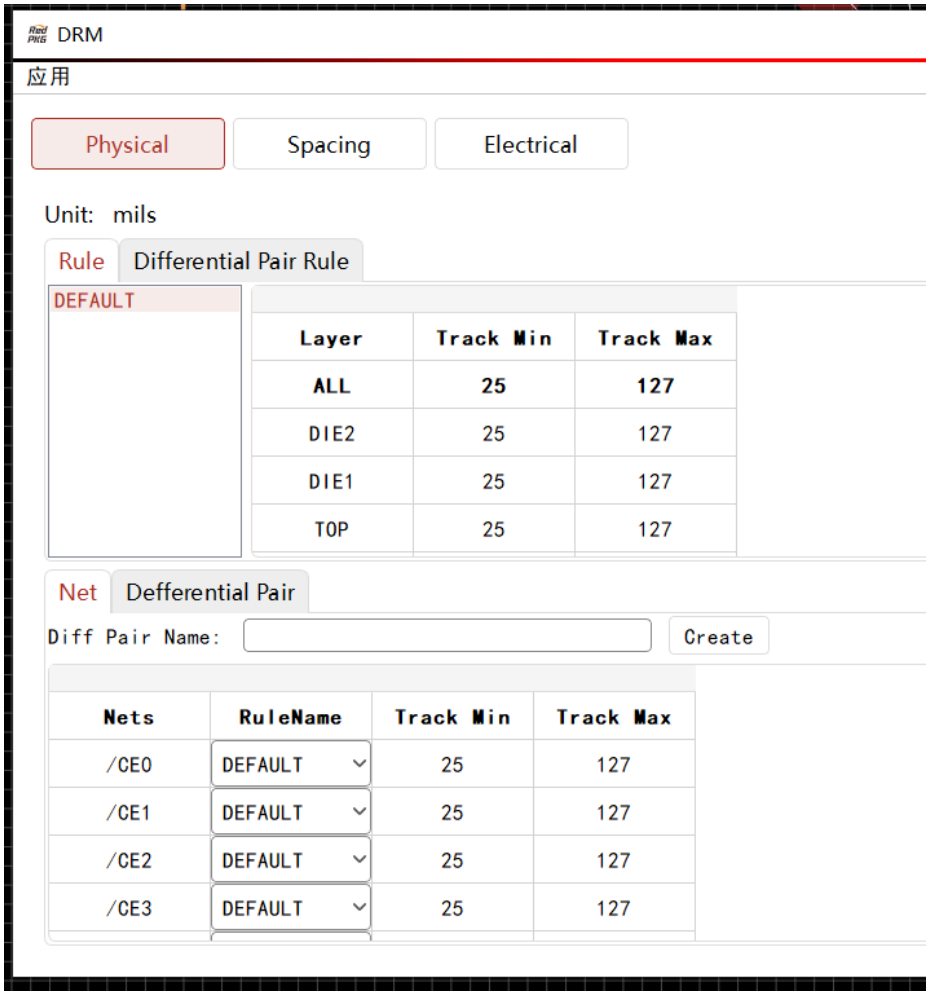


4）点击菜单 **File -> Save** 进行保存。

7 设计规则设置

7.1 物理规则设置

1）点击图标 或者点击 Modules->RulerManagers,跳出对话框，选择 Physical,选择 Rule,点击 Default

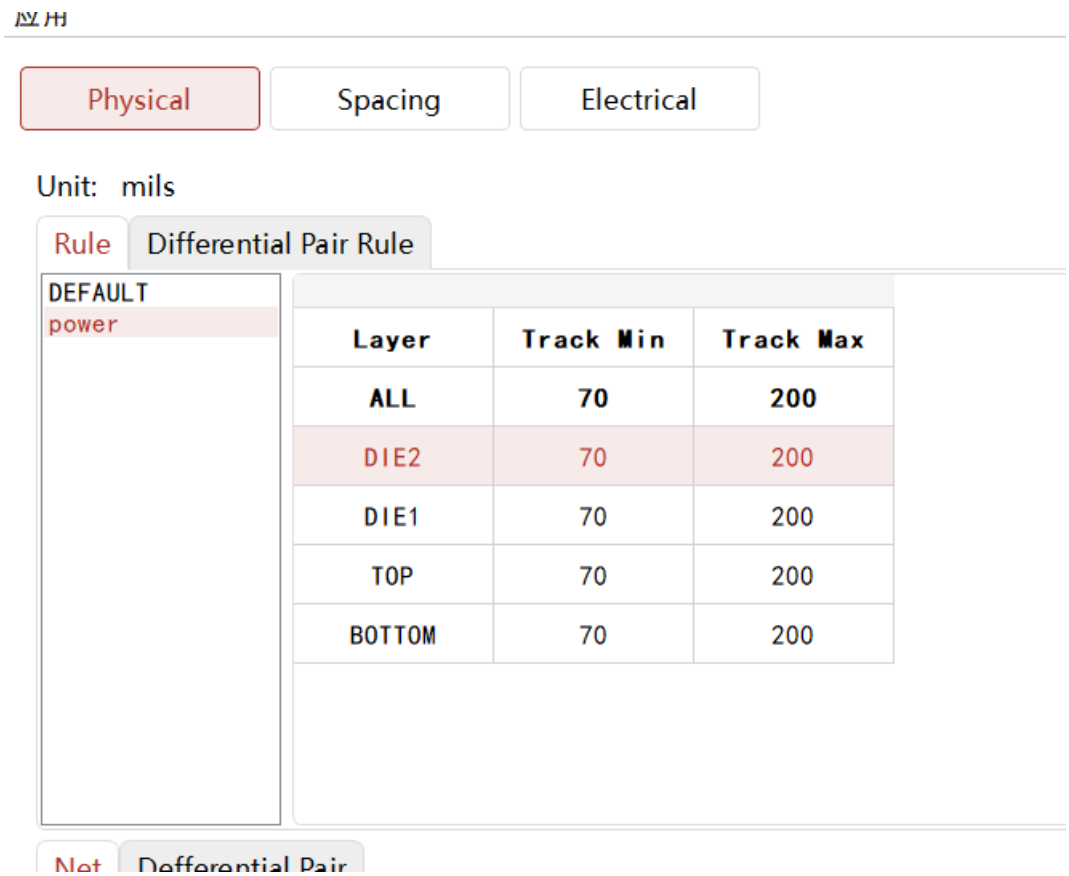


在 Track 输入之需要的线宽，

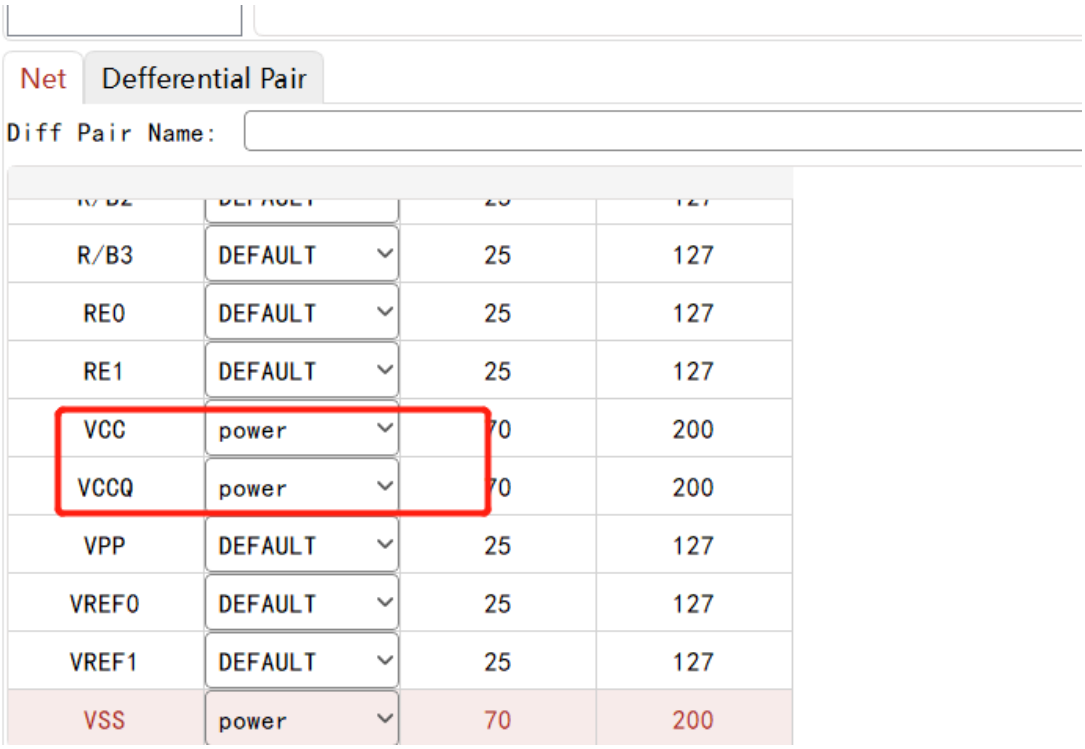
Track：Min (最小线宽)，Max(最大线宽）

2）设置电源线宽：点击在 Default 上右击选择 Create,新加规则，输入名字：POWER

设定线宽：最小线宽 70，最大线宽 200



将设定好的阻抗和信号匹配上，在下方 Net 框里，Nets：信号名，RuleName: 选择对应的阻抗，选好后，匹配的线宽会自动变更

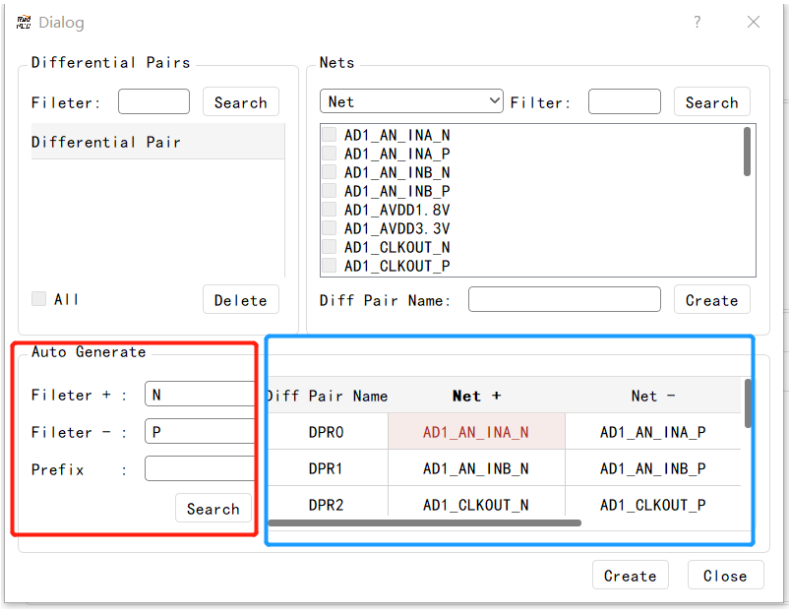


7.2 差分线设置

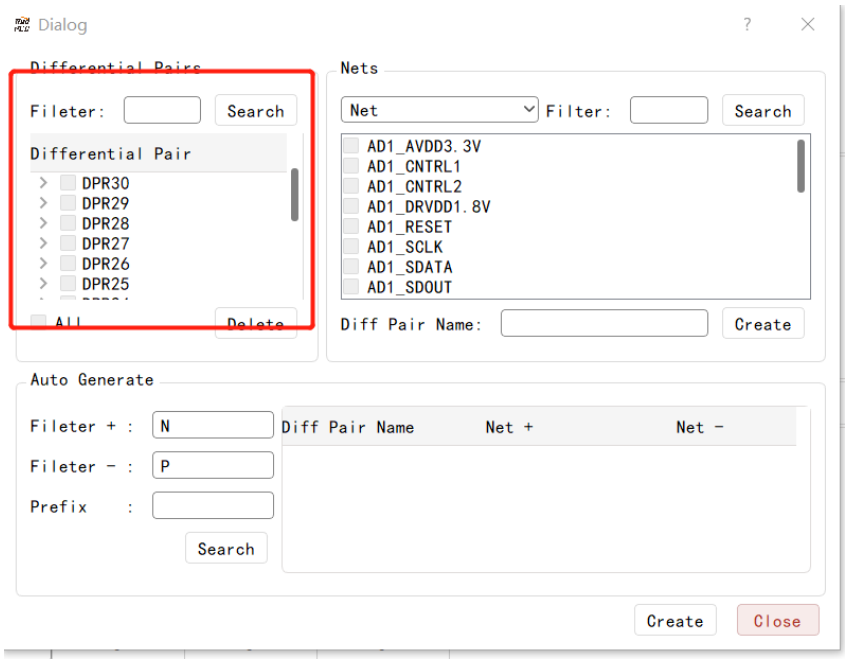
1）设置成差分对

方法 1：点击 Function->Differential Pairs,跳出对话框，信号名前缀一样的，在 Fileter+,Fileter-,输入信号名后缀，点击 Search，蓝框内就是生成的差分对，

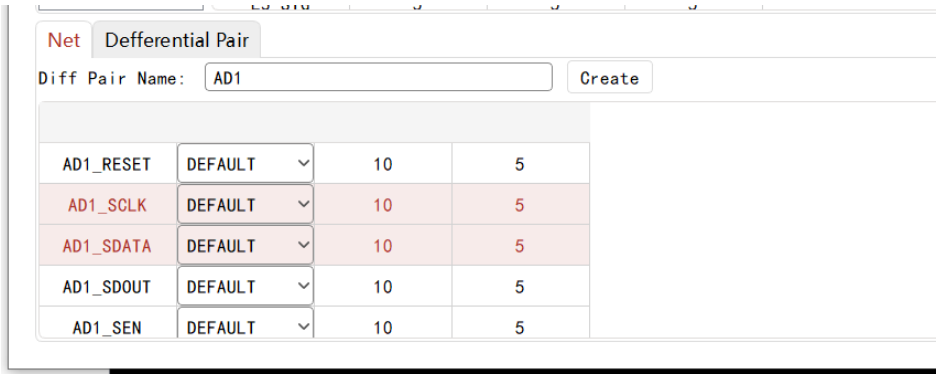
（一般差分对，命名一样，只是在最后会加一个 N 和 P,标识差分对的正和负）



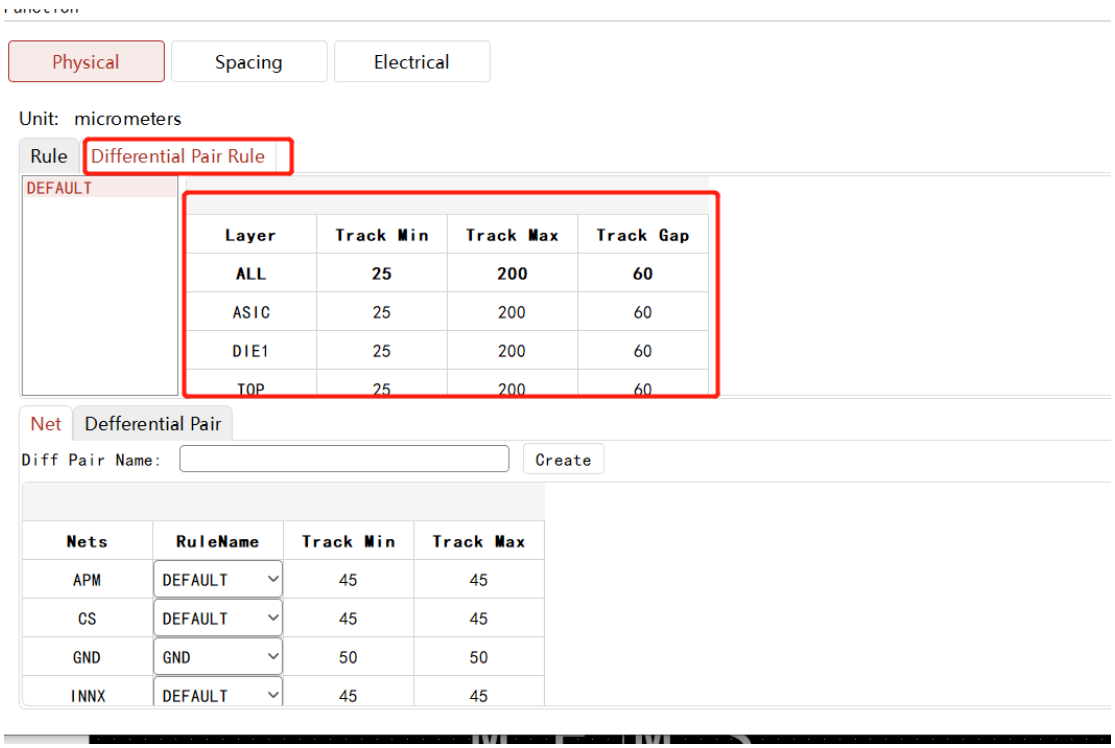
点击 Create,所有差分队就显示在左上教，可以查找差分对，勾选差分对名，点击 Delete,可以将差分队删除



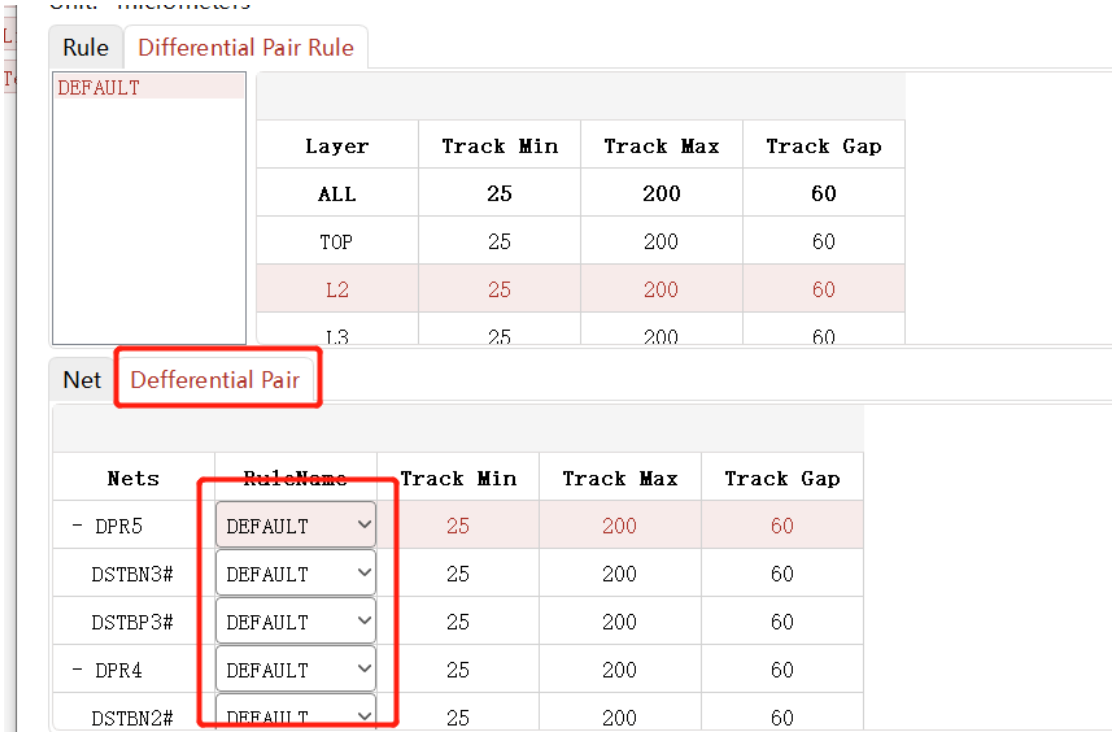
方法二：按住 Ctrt 键，点击两根信号在 Diff pair name:输入差分对名，点击 Create,差分信号就添加完成



2）设置差分信号的线宽和两根线之间的间距：在 Differential Pair Rule 界面中，Track min(最小线宽)，Track max（最大线宽），Track Gap(差分线之间的距离）

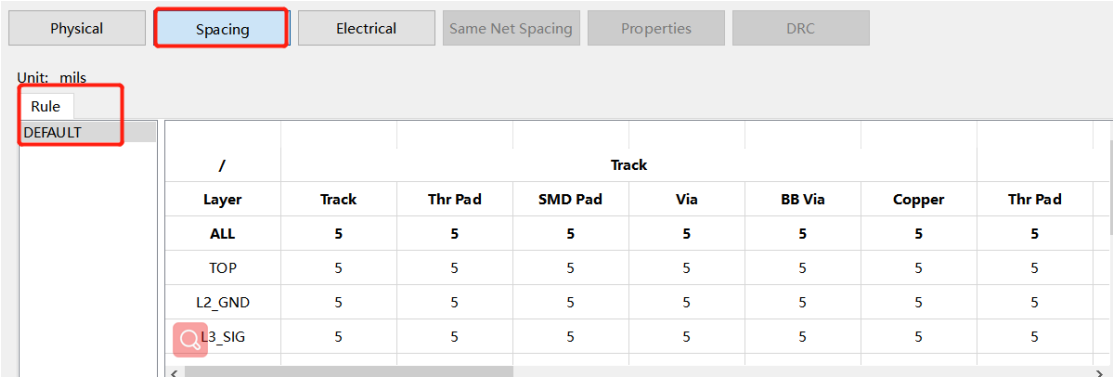


3）在 Differential Pair 中就可以看到刚刚设的差分对，在 RuleName 选择之前设的欧姆，线宽和线距就会自动变更



7.3 设置间距（Spacing）规则

1) 点击图标 或者点击 Modules->RulerManagers,跳出对话框，选择 Spacing,选择 Rule,点击 Default,设定各种的间距



Track/Track: 走线与走线的间距

Track/Thr Pad:走线与通孔焊盘的间距

Track/SMD pad: 走线与贴片焊盘的间距

Track/Via: 走线与过孔的间距

Track/BB Via：走线与盲埋孔的间距

Track/Copper：走线与铜皮的间距

Thr Pad/Thr Pad:通孔焊盘与通孔焊盘的间距

Thr Pad/SMD pad:通孔焊盘与贴片焊盘的间距

Thr Pad/Via:通孔焊盘与过孔的间距

Thr Pad/BB Via:通孔焊盘与盲埋孔的间距

Thr Pad/Copper:通孔焊盘与铜皮的间距

SMD pad/SMD pad: 贴片焊盘与贴片焊盘的间距

SMD pad/Via: 贴片焊盘与过孔的间距

SMD pad/BB Via: 贴片焊盘与盲埋孔的间距

SMD pad/Copper: 贴片焊盘与铜皮的间距

Via/Via:过孔与过孔的间距

Via/BB Via:过孔与盲埋孔的间距

Via/Copper:过孔与铜皮的间距

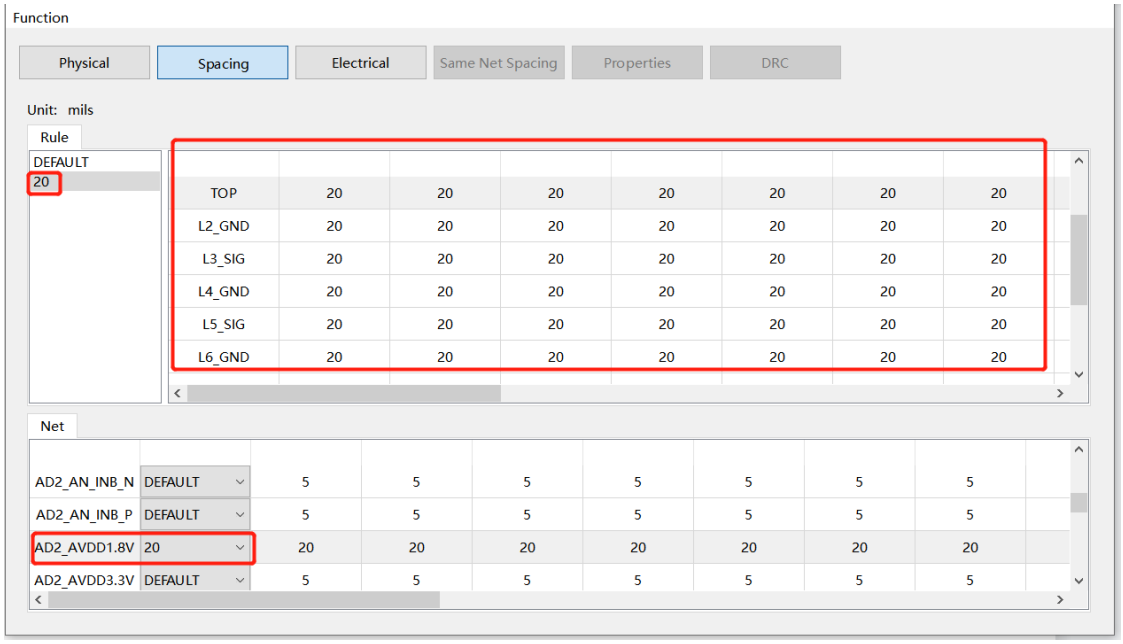
BB Via/BB Via：盲埋孔与盲埋孔的间距

BB Via/Copper：盲埋孔与铜皮的间距

Copper/Copper: 铜皮与铜皮的间距

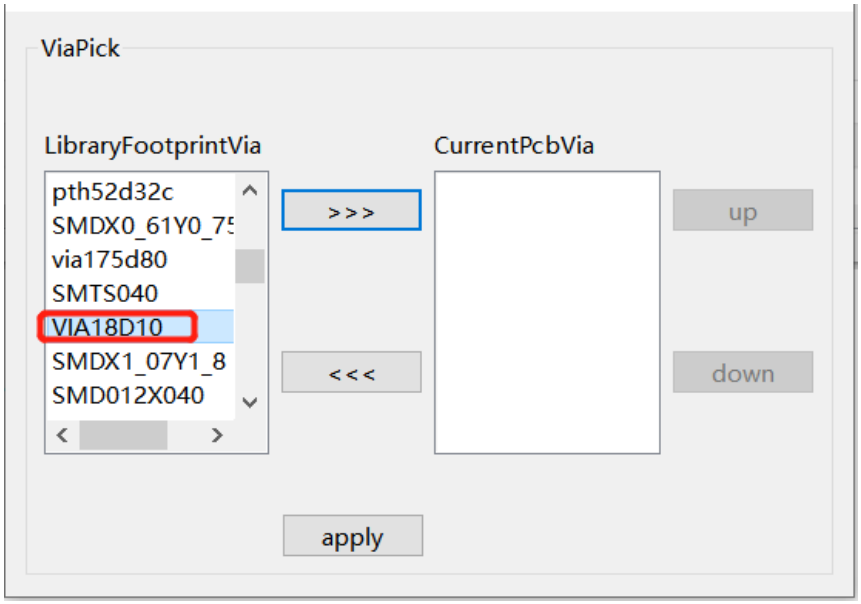
2）特殊信号为了防止与其它信号有干扰，我们可以线的距离设置的大一些

点击在 Default 上右击选择 Create,新加规则，输入名字：20 ，所有间距改成 20，在 NET 那栏选中信号名，后面选 20，所有间距就会自动跳到 20 了

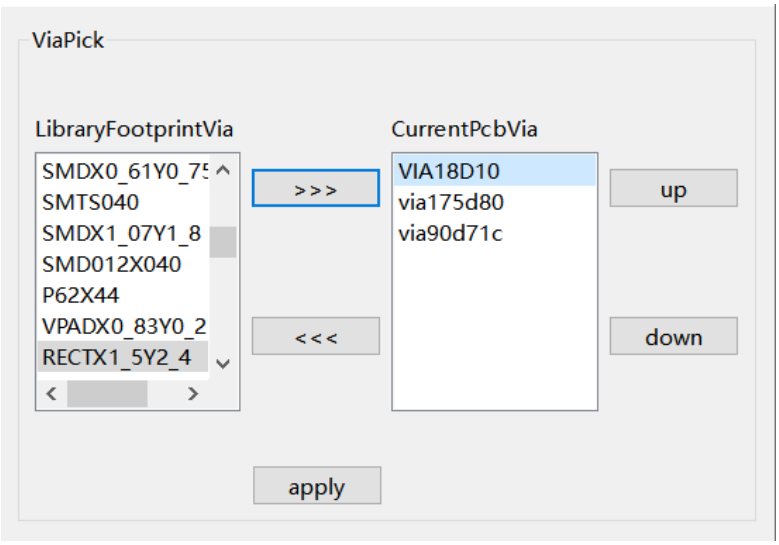


7.4 添加过孔

1）点击 Draw->VIA,跳出对话框，点击需要隔过孔焊盘，双击后，会跳到右边，点击 Apply,过孔就加进来了



2）软件支持添加多种过孔焊盘，当添加的比较多时，我们点击最常用的 via，点击 UP，让它排到第一位，打过孔的优先顺序是从上往下，不需要的 VIA 也可以在 CurrentPcbVia 中，选中不需要的 VIA，双击后，就会回到左边，走线是就打不了这个过孔了



3）设定好后点击保存，将之前设定保存

8 PKG 布线

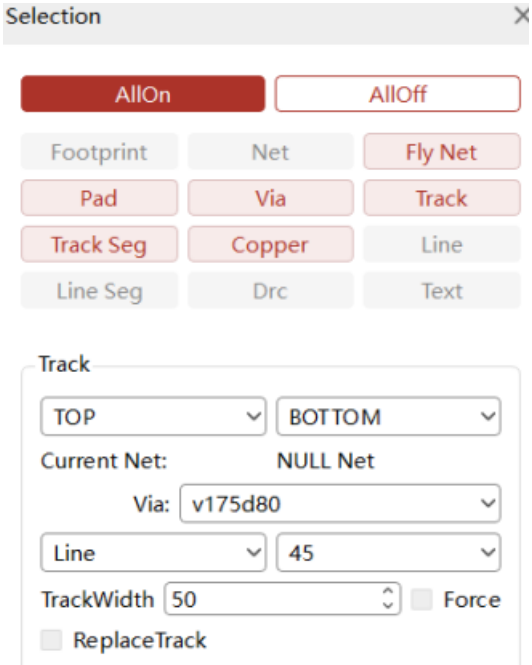
8.1 布线

在布局阶段我们将格点间距设置为 50um；布线阶段为了更加灵活地布线及推挤走线，建议需要设置较小的格点间距。

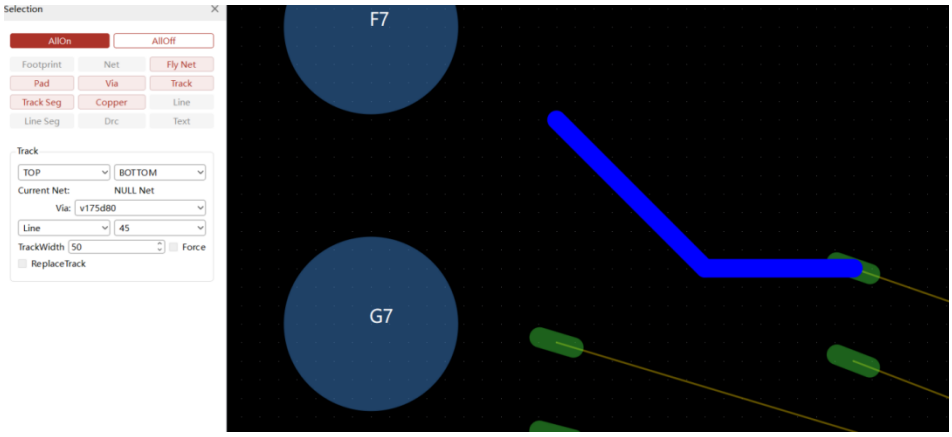
1）点击菜单 **View -> Zoom In** 或图标 放大局部区域，观察格点是否已正确设置。

2）点击 图标，激活 Track 命令。

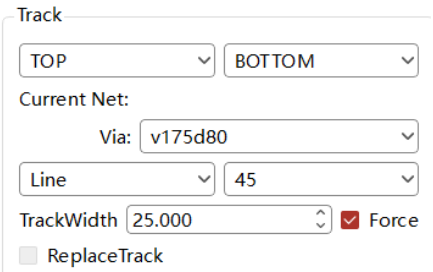
3）在 RedPKG 左边 Selection 面板中，相关布线参数如下图所示：



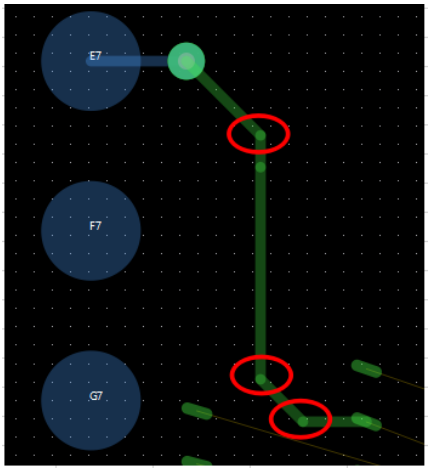
4）点击任一待布线网络的 Finger，我们看到随光标的移动从该 Finger 焊盘引出一根 TOP 层的走线，当前走线宽度如 Selection 面板“Thack **Width**”所示为 **50u**m（这里是规则管理器中相应网络的约束值）；如果需要修改线宽、拐角等参数可以在 Selection 面板里进行修改。



5)手动修改线宽在Selection面板中，在TrackWidth输入需要的线宽(20m)勾选Force(**勾选**后线宽根据**TrackWidth**的线宽走线，**不勾选**线宽根据规则管理器里面设定的线宽走线)



在 Work Area 用左键依次点击下图圈出的位置，直到走线连接到该网络在对应的 PIN 脚，参考走线如下图所示。



Notes：使用 Track 命令走线过程中，为了提高设计效率，经常需要使用右键

的相关命令。

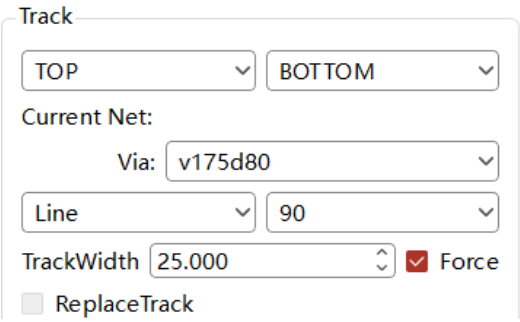
常用右键命令的作用如下：

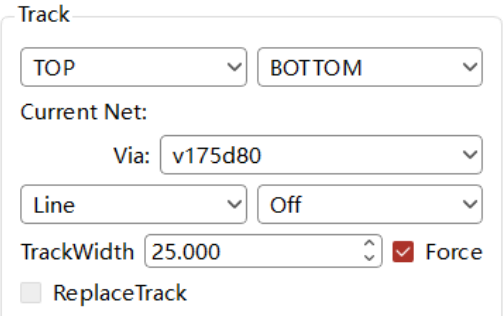
Done：结束当前 Track 布线命令。

Oops：取消最近的一次左键单击操作，回到上一步状态，并保证 Track 布线命令仍然生效，用户可以继续走线。

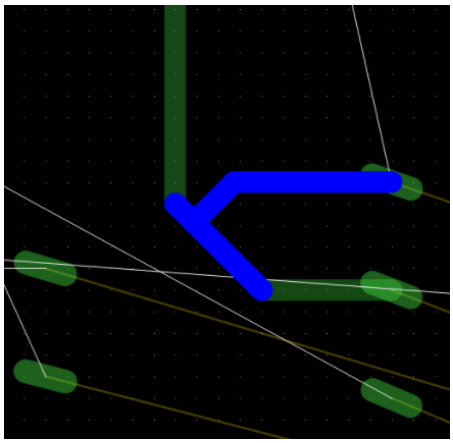
Cancel：撤销本次 Track 的所有操作。

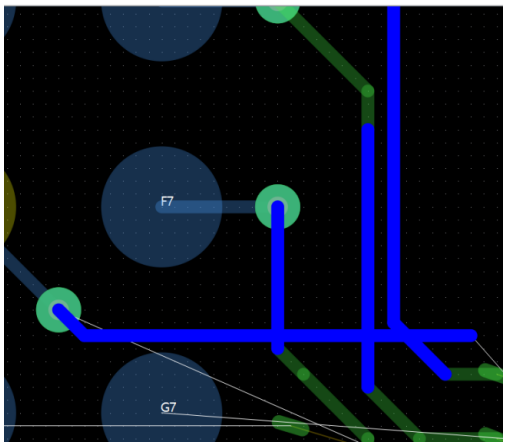
走线支持 45 度角，90 度角和任意角度





6）走线时当和其它走线太近是会有走线警告，和其它走线交叉是也会有短路实时警告。



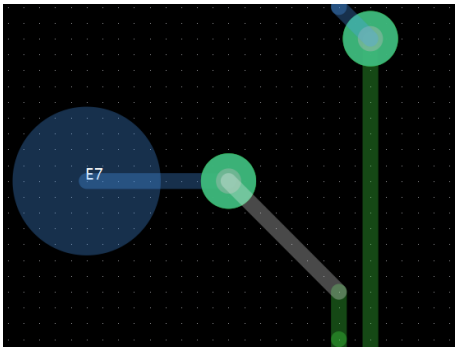


布线过程中，有时难免会需要删除部分或全部走线以进行修改，下面介绍如何删除走线：

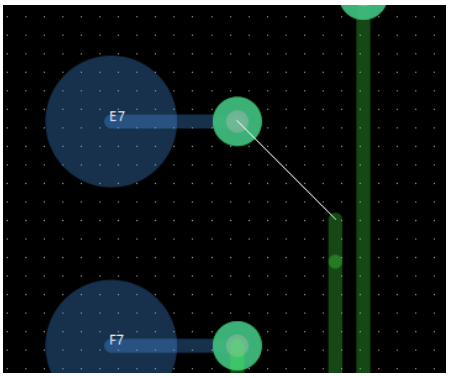
7）点击 图标，激活 **Delete** 命令

8）查看并确定 RedPKG 左侧的 Selection 面板中仅勾选了“Track seg”对象类型。

9）点击信号的某一下段走线，如下图所示。



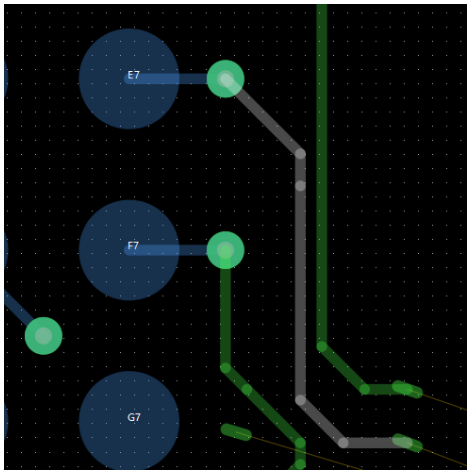
10）删除后的效果如下图所示。



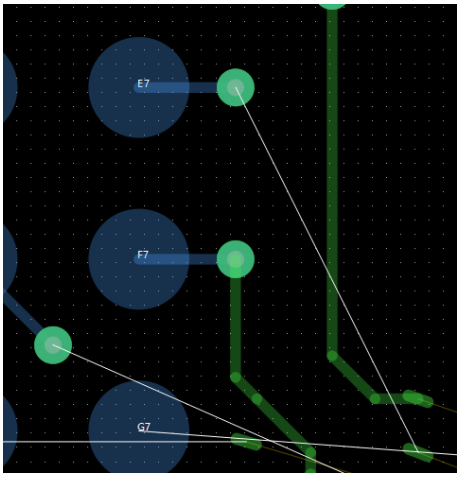
11）点击 图标，激活 ***Delete*** 命令

12）查看并确定 RedPKG 左侧的 Selection 面板中仅勾选了“Track ”对象类型。

13）点击信号的任一下段走线，如下图所示。



14）删除后的效果如下图所示。



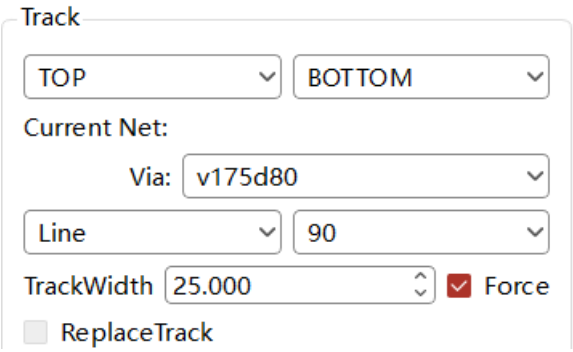
Notes：从上面的例子可以看到对象类型“Track **Segs**”和“Track”分别表示“走线线段”和“整段走线”。

8.2 换层走线

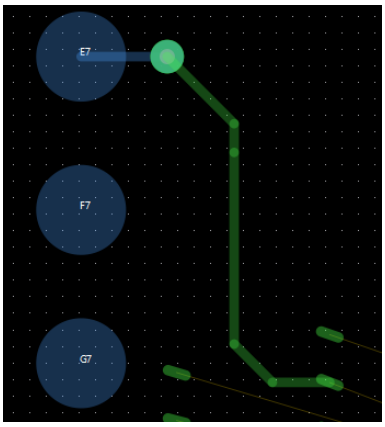
1）点击 图标，激活 Track 功能。

2）点击 PIN 拖动光标在 TOP 层绘制一段走线，然后在任意处双击左键打一个过孔。

3)在 RedPKG 左侧的 Selection 面板中，Track 选择层：TOP。

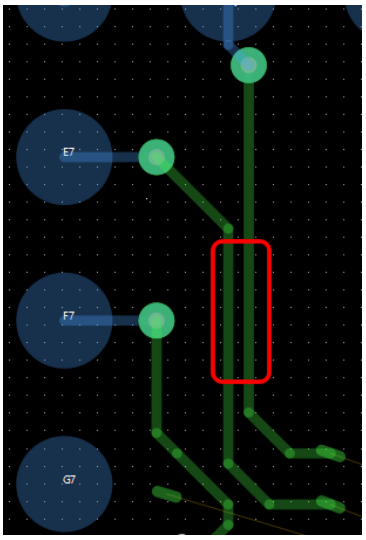


4）在 RebPKG 中继续在 BOTTOM 层走线，当走线连接到 E7 焊盘时，信号就连接上了。



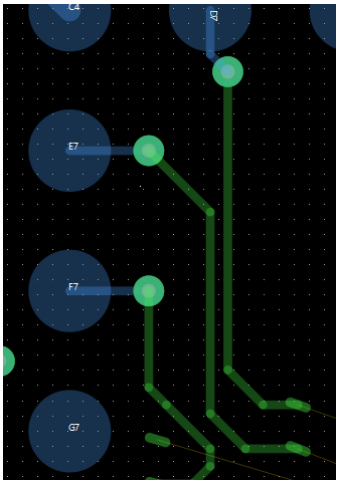
8.3 修改走线

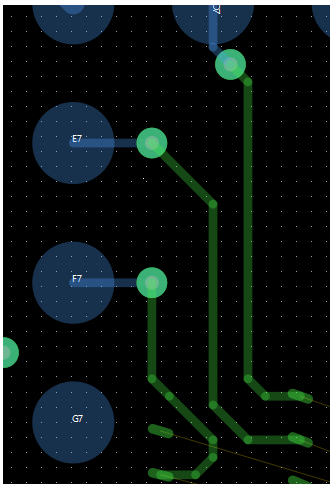
1)完成网络走线后，如下图所示：两根信号太近，需要推开。



2)点击图标 ，激活 Drag 功能，点击走线，将上面的信号线往上推，推完后如下图：

将线往右边推 ： 推之前和推之后的对比图



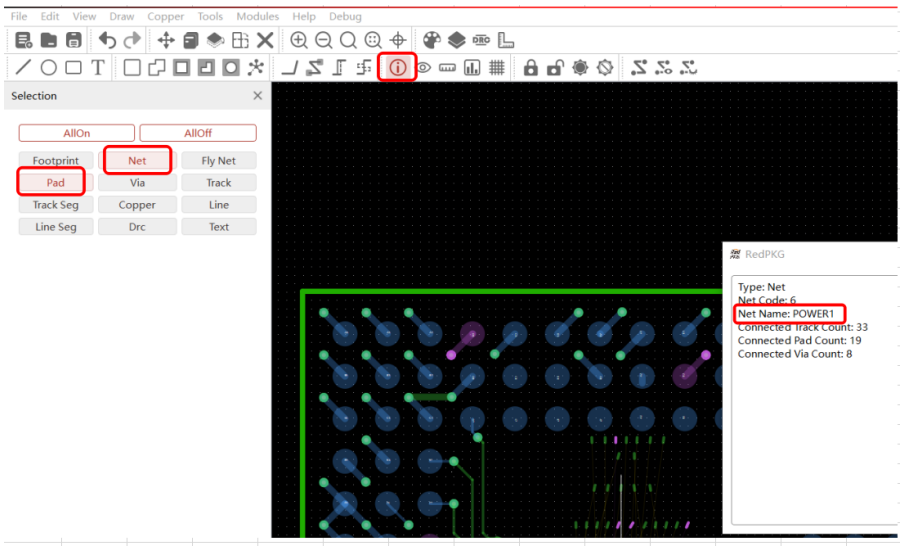


3）点击菜单 **File -> Save** 进行保存。

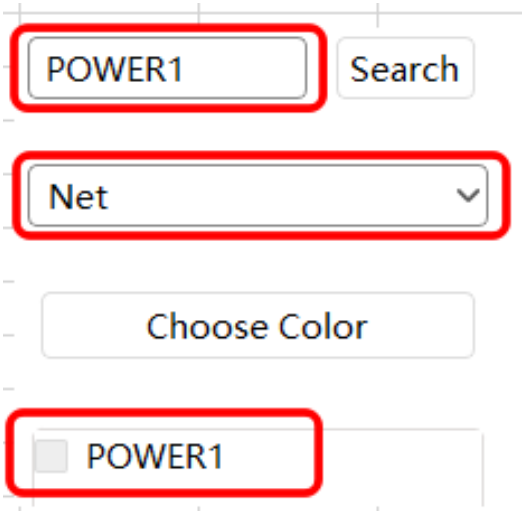
9 电源处理

9.1 铺铜

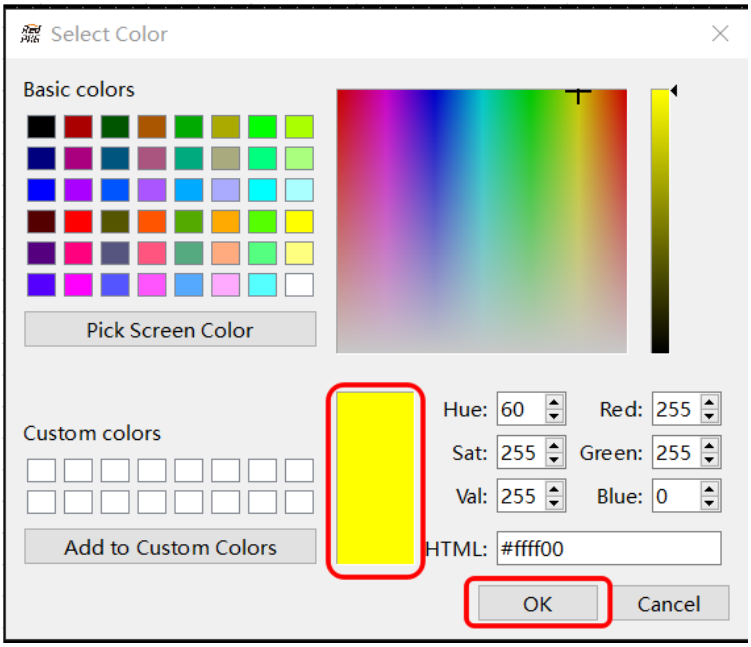
1）点击 在 RedPKG 左侧的 Selection 面板中,选择 Net 和 Pad,点击 Pad,会出现这个 Pad 的 NET 信息，Net Name:POWER1



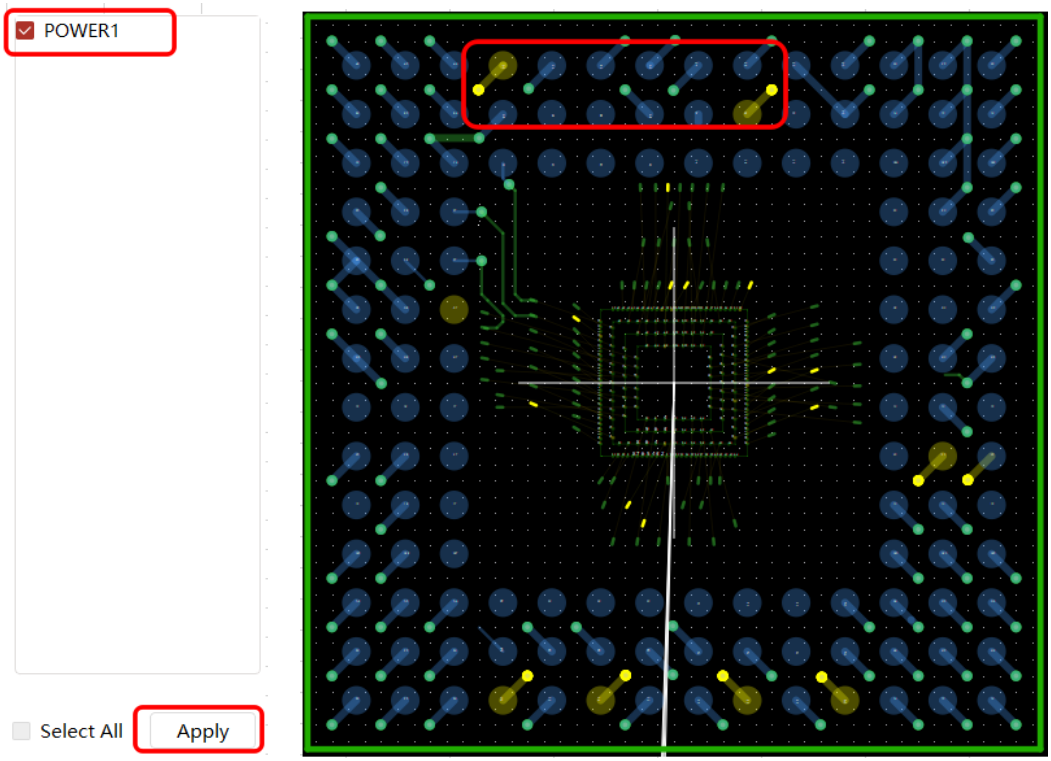
2) 点击图标 ，激活查找功能在 RedPcb 右侧的框内输入 Net Name:POWER1，下拉框选择 Net，就跳出查找的 NET（POWER1）。



3)点击 Choose Color,选择颜色，点击 OK。



勾选 Net（POWER1）,点击 Apply，PKG 上的 NET 就变成黄色的：如下图



5）铺铜皮方法一：点击图标 或者点击 Cooper->Complex,在 RedPKG 左侧的 Selection 面板中，Cooper 框内，选择层面：Layers，在 Layers 的层面里选择 TOP 层，

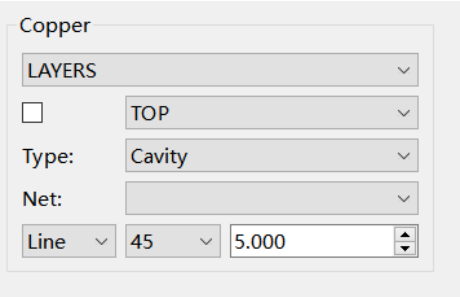
Type:选择 Cooper 的形态 （Cavity）

下方是在 PKG 中常用的形态：

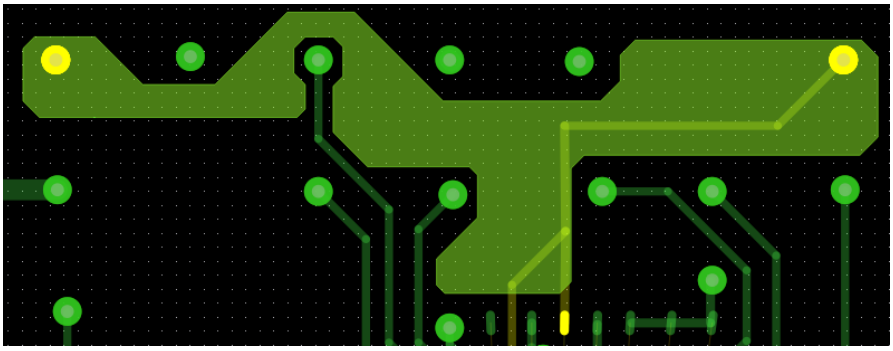
Dynamic copper(动态 shape)

Cavity(静态 shape)

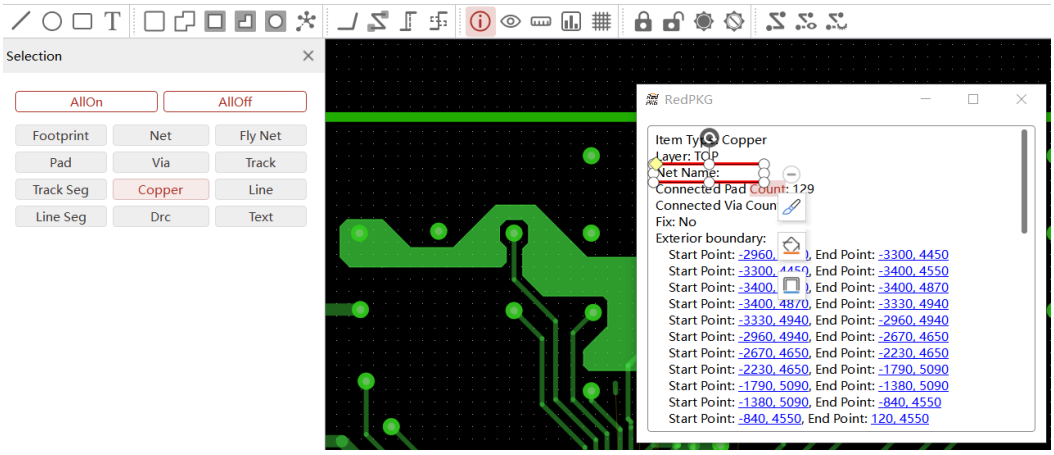
Static crosshatch(静态网格 shape)



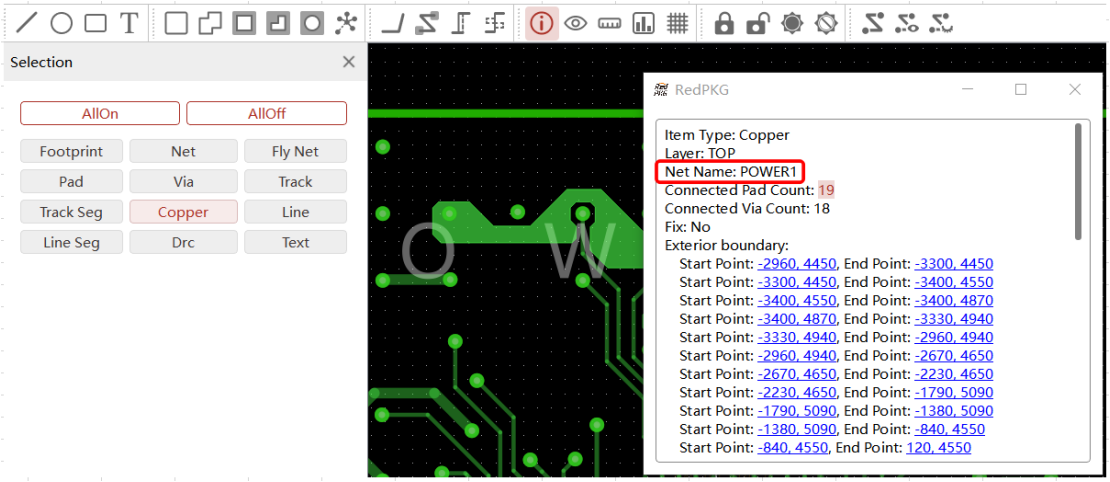
6)将同一种颜色的焊盘包起来



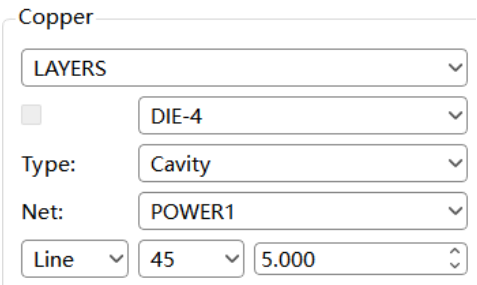
铺好铜皮，点击图标 在 RedPKG 左侧的 Selection 面板中选择 Cooper，点击刚铺的铜皮，显示 Net name 是空的，标识这个铜皮没有连接到信号，为空。



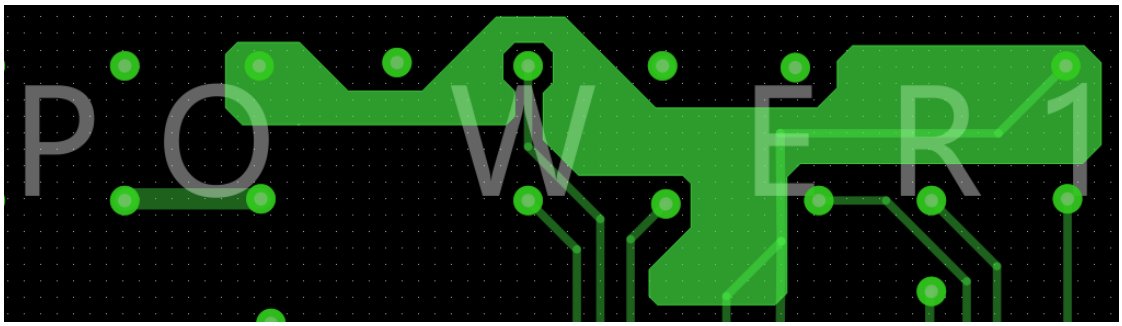
8)现在给铜皮命名，点击图标 ，在点击铜皮，然后点击需要连接的 PAD，铜皮的信号就变成了 POWER1



9)铺铜皮方法二：点击图标 或者点击 Cooper->Complex，在 RedPKG 左侧的 Selection 面板中，Cooper 框内，选择层面：Layers， 在 Layers 的层面里选择 TOP 层，NET 下拉框选择需要的 Net

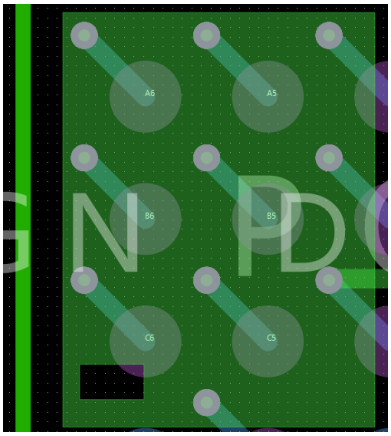


10）将要连接的焊盘包起来，这样信号就直接连上了

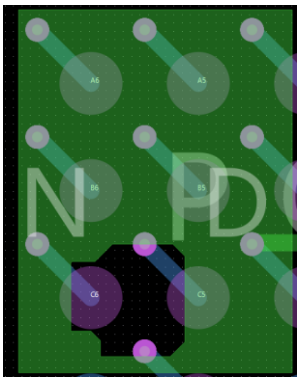


9.2 铜皮掏空处理

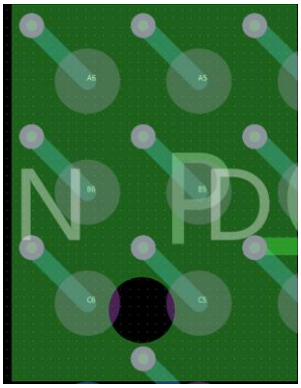
1）矩形铜皮掏空：点击图标 或者点击 Cooper-> Dig Rect,点击铜皮，框选需要掏空的地方如下图



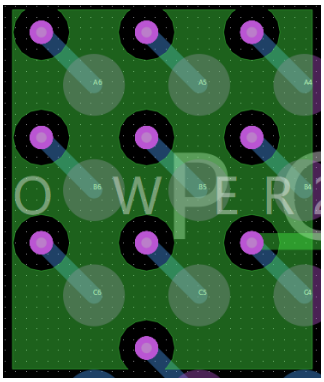
2）不规则掏空：点击图标 或者点击 Cooper-> Dig Polygon,点击铜皮，按照需求掏空的地方如下图：



3）圆形掏空：点击图标 或者点击 Cooper-> Dig Circle,点击铜皮，框选需要掏空的地方如下图:



4）自动避让过孔：点击 Copper 右击，点击 Dig ALL,Copper 会自动避让其它信号的过孔



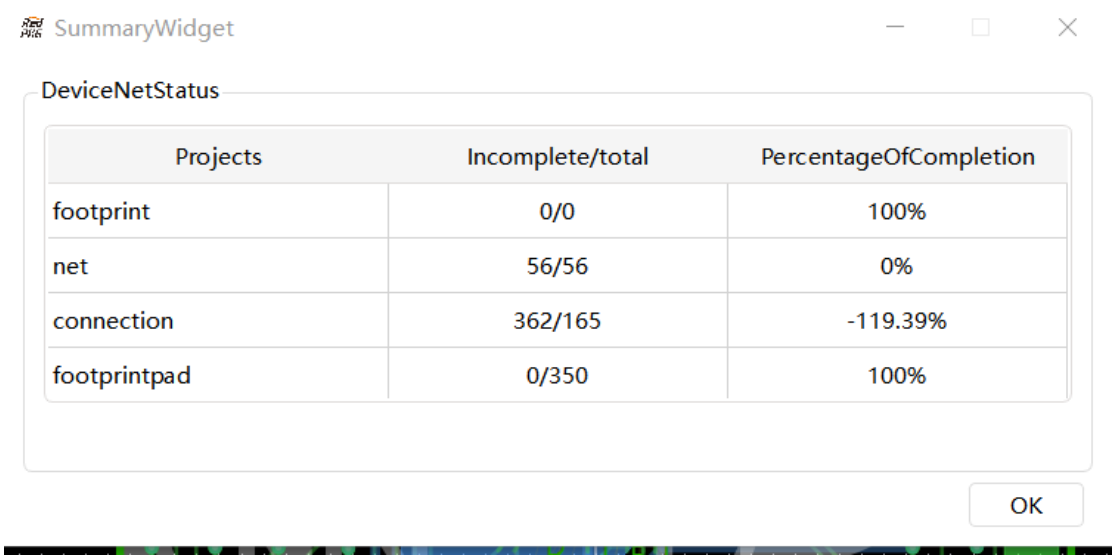
5）点击菜单 **File -> Save** 进行保存。

10. SUMMARY 功能和 DRC 功能

10.1 SUMMARY 功能

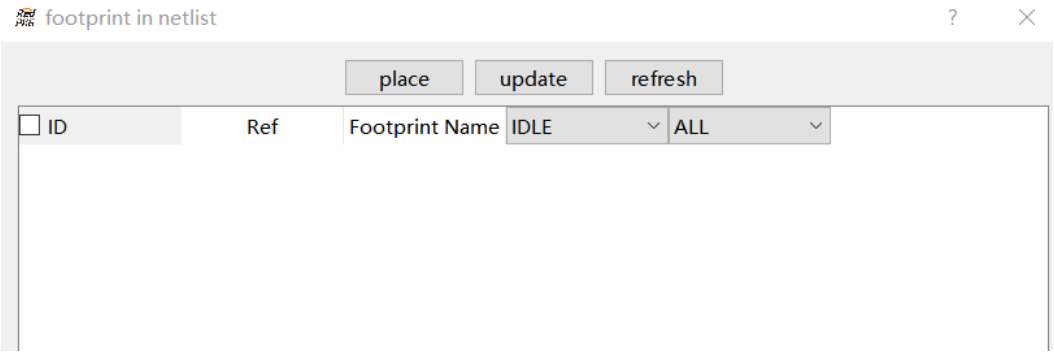
Summary 功能是检查 PKG 板上的信号是否都连通了，有多少没有连通，还有器件是否都从后台调入，有多少没有调入 PKG 里。

1)点击 Tools -> Summary,跳出对话框，

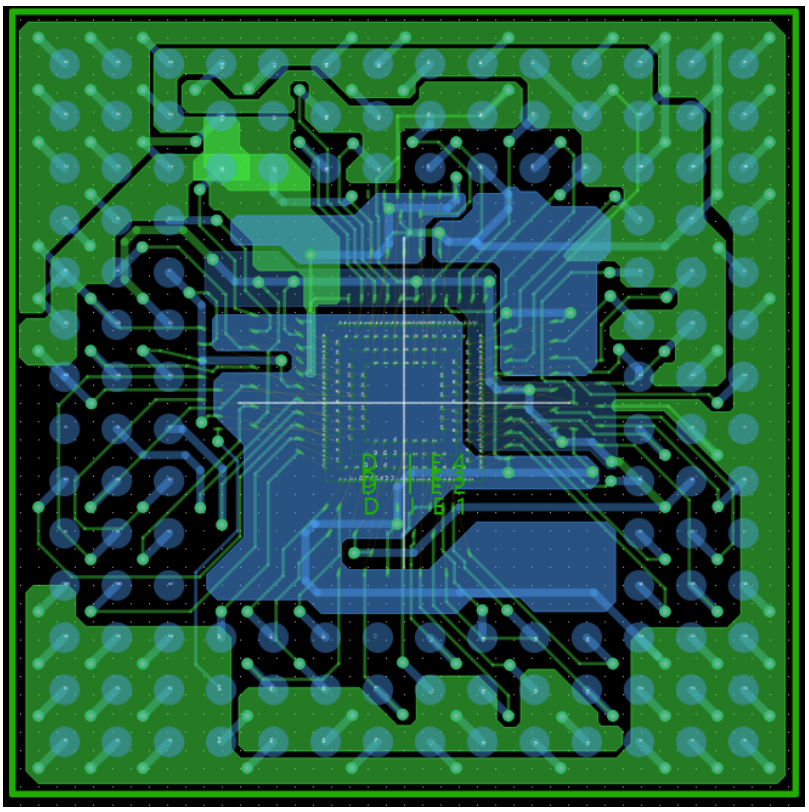


Projects	Incomplete/total	PercentageOfCompletion
footprint	0/0	100%
net	56/56	0%
connection	362/165	-119.39%
footprintpad	0/350	100%

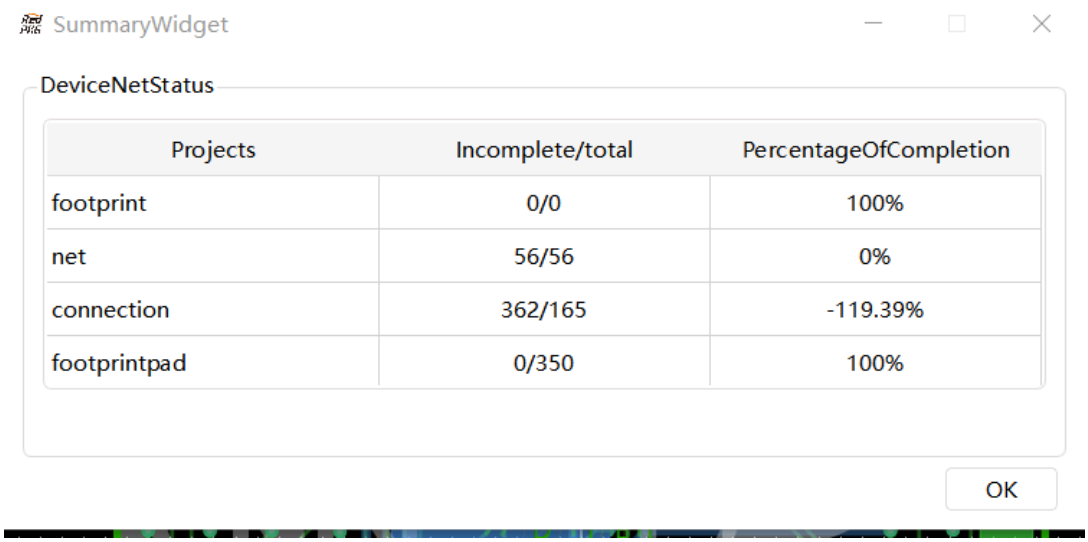
2）将后台的器件调入到 PKG 里面，点击 Draw->NetlistFootPrint,跳出对话框，显示出后台的器件的位号和封装型号，框选点击 Place



3）将器件就调入 PKG 里面了，根据原理图然后将器件放在特定的位置上



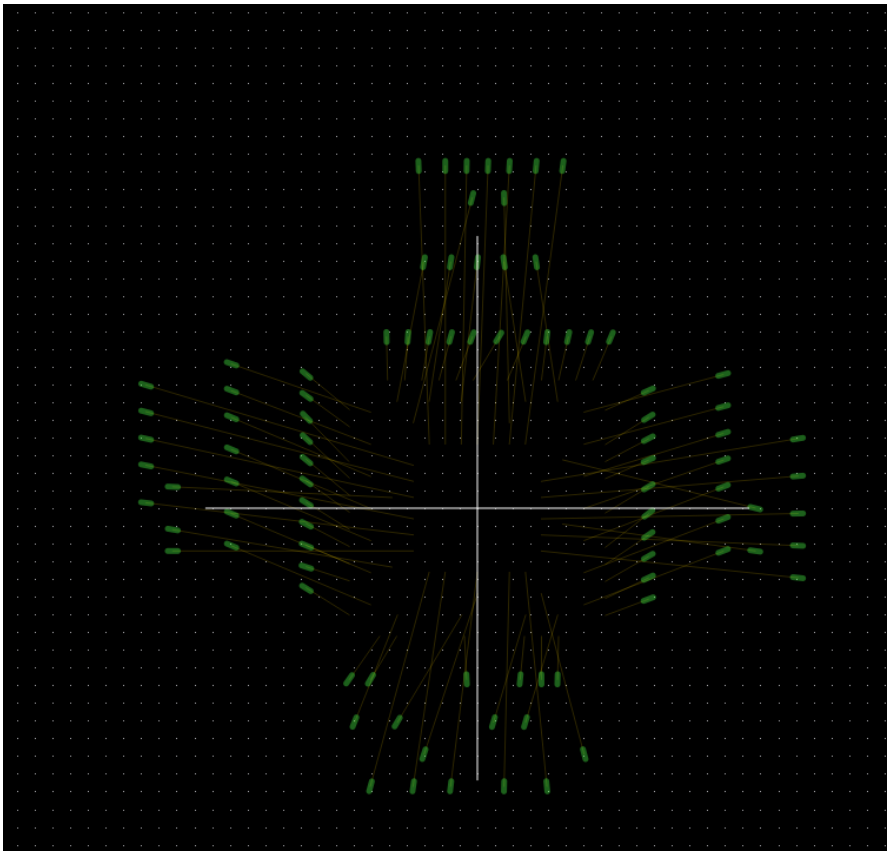
4）点击 **Tools->** Summary,跳出对话框，确认器件是否都调入



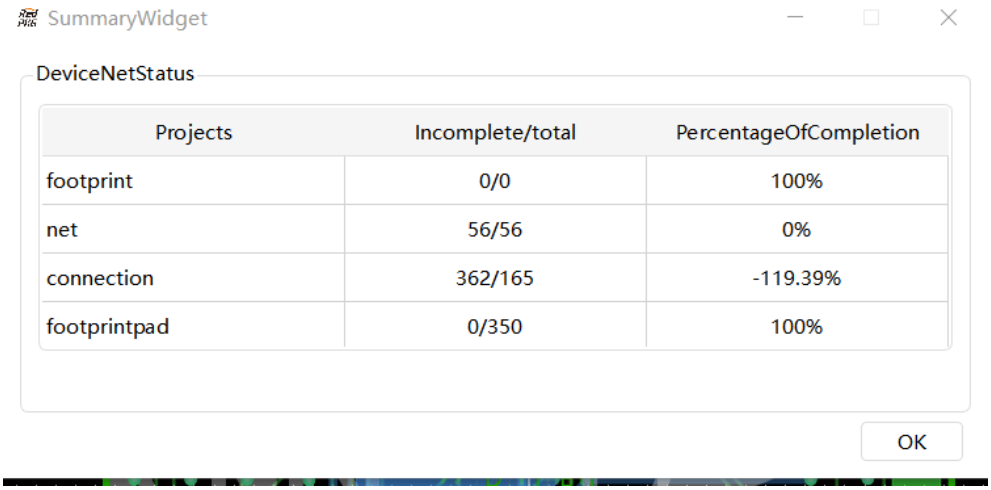
Projects	Incomplete/total	PercentageOfCompletion
footprint	0/0	100%
net	56/56	0%
connection	362/165	-119.39%
footprintpad	0/350	100%

5）将所有层关闭，看一下飞线的位置，然后将层面打开，将飞线都连接起

来



6）然后再点击 Tools-> Summary,跳出对话框，确认信号都已经连接完成，显示 100%表示所有信号都已经连接完成了



Projects	Incomplete/total	PercentageOfCompletion
footprint	0/0	100%
net	56/56	0%
connection	362/165	-119.39%
footprintpad	0/350	100%

10.2 DRC 检查

DRC 检查是方便查找一些短路短路的一些报警，是根据规则管理器生成

1）点击图标 或点击 Modules->DrcCheck,跳出对话框，显示出 DRC 的基本信息

ErrorNumber:显示 DRC 的序号

显示 DRC 的坐标：X92.160 Y101.520

DRC 错误类型：TrackSeg And Shape(走线和铜皮靠的太近了）

产生 DRC 的信号：Avdd1.8 和 GND 靠的太近

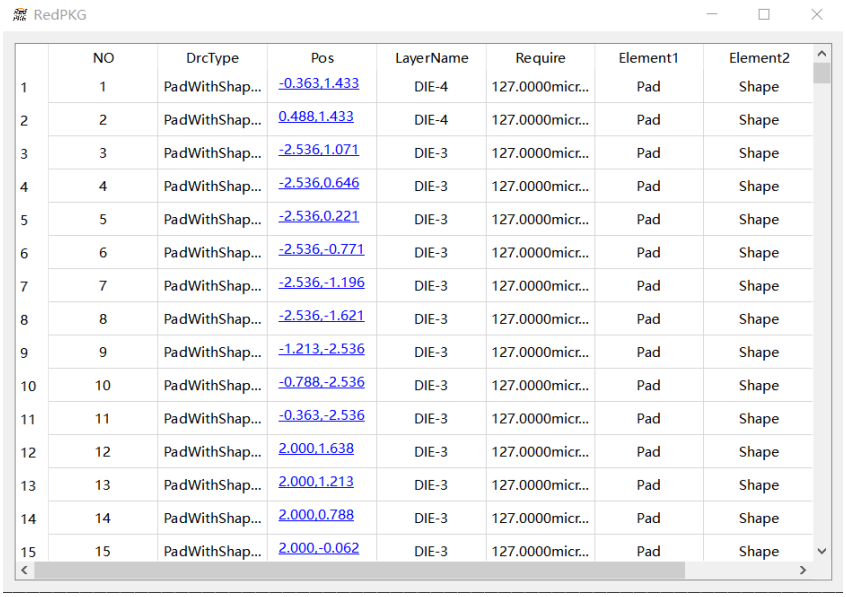
所在的层面：TOP

DRC 错误类型分别有：TrackSeg And Shape(走线和铜皮靠的太近了）

Via And Shape (过孔和铜皮靠的太近了）

TrackSeg And TrackSeg(走线和走线靠的太近了）

TrackSeg And FootprintPad(走线和焊盘靠的太近了）



RedPKG

	NO	DrcType	Pos	LayerName	Require	Element1	Element2
1	1	PadWithShap...	-0.363,1.433	DIE-4	127.0000micr...	Pad	Shape
2	2	PadWithShap...	0.488,1.433	DIE-4	127.0000micr...	Pad	Shape
3	3	PadWithShap...	-2.536,1.071	DIE-3	127.0000micr...	Pad	Shape
4	4	PadWithShap...	-2.536,0.646	DIE-3	127.0000micr...	Pad	Shape
5	5	PadWithShap...	-2.536,0.221	DIE-3	127.0000micr...	Pad	Shape
6	6	PadWithShap...	-2.536,-0.771	DIE-3	127.0000micr...	Pad	Shape
7	7	PadWithShap...	-2.536,-1.196	DIE-3	127.0000micr...	Pad	Shape
8	8	PadWithShap...	-2.536,-1.621	DIE-3	127.0000micr...	Pad	Shape
9	9	PadWithShap...	-1.213,-2.536	DIE-3	127.0000micr...	Pad	Shape
10	10	PadWithShap...	-0.788,-2.536	DIE-3	127.0000micr...	Pad	Shape
11	11	PadWithShap...	-0.363,-2.536	DIE-3	127.0000micr...	Pad	Shape
12	12	PadWithShap...	2.000,1.638	DIE-3	127.0000micr...	Pad	Shape
13	13	PadWithShap...	2.000,1.213	DIE-3	127.0000micr...	Pad	Shape
14	14	PadWithShap...	2.000,0.788	DIE-3	127.0000micr...	Pad	Shape
15	15	PadWithShap...	2.000,-0.062	DIE-3	127.0000micr...	Pad	Shape

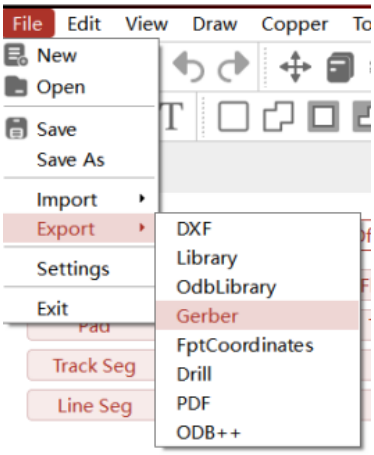
2)PKG 所有层面关闭可以快速找到 DRC 的位置。

11 出光绘文件

11.1 光绘输出

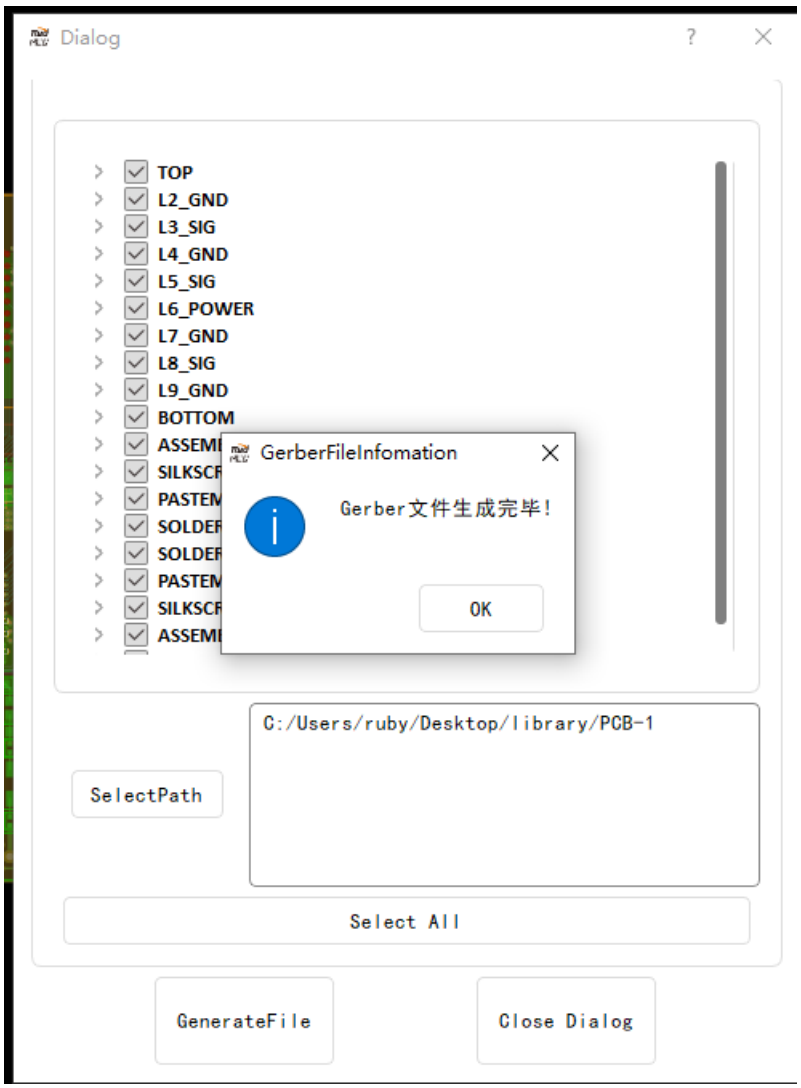
本章将介绍如何生成 PKG 生产装配使用的工程制造数据文件；由于输出的设计数据文件较多，为了方便整理，建议大家在输出光绘文件前，将 PKG 文件放置到一个新建的文件夹中用来放置这些工程数据文件；当然用户也可以通过环境变量指定工程数据文件的路径。

1）点击菜单 File->Export->Gerber,弹出出对话框，



2）点击 SelectAll 图标,点击 GenerateFile 图标,Gerber 文件及数据输出完成（数据输出默认路径是和 PKG 在同一个文件夹内）。

运行完毕，弹出对话框，显示 Gerber 文件已经生成完毕，没有出现问题



3）在文件夹里就自动生成了每一层后缀带着.redgrb 的光绘文件，每一层光绘自动包含了下方这些层面

布线层：常规信号层，主要是布线

Top:Track/Top	Bottom:Track/Bottom
Pad/Top	Pad/Bottom
Via/Top	Via/Bottom
Copper/Top	Copper/Bottom
Line/Top	Line/Bottom
Text/Top	Text/Bottom

平面层：指 GND 及 POWER，是完整铜箔层

Gnd:Track/Gnd	Vcc:Track/Vcc
Pad/Gnd	Pad/Vcc
Via/Gnd	Via/Vcc
Copper/Gnd	Copper/Vcc
Line/Gnd	Line/Vcc
Text/Gnd	Text/Vcc

转孔层：指设计文件中设计者手工添加包含 Pcb 加工信息的层面。命名为 Drill

Drill:	Pcb Geometry/Outline
	Pcb Geometry/Dimension
	Fabrication/Drill_Symbol
	Fabrication/Drill_Table

装配层：指设计文件中为客户提供查看封装信息和器件位置的层面，命名为 Assembly_Top/Assembly_Bot

Assembly_Top:Line/Assembly_Top	Assembly_Bot:Line/Assembly_Bottom
Res Des/Assembly_Top	Res Des/Assembly_Bottom
Pcb Geometry/Outline	Pcb Geometry/Outline
Pcb Geometry/Assembly_Top	Pcb Geometry/Assembly_Bottom

钢网层：指设计文件中为锡膏涂布提供加工信息的层面，命名为 astemask_Top/Pastemask_Bot

Pastemask_Top:

Via/Pastemask_Top	Pastemask_Bot:Via/Pastemask_Bottom
Pad/Pastemask_Top	Pad/Pastemask_Bottom
Copper/Pastemask_Top	Copper/Pastemask_Bottom

Pcb Geometry/Pastemask_Top　　Pcb Geometry/Pastemask_Bottom

丝印层：指设计文件中为加工丝印提供信息的层面，命名为 Silkscreen_Top/Silkscreen_Bot

Silkscreen_Top:Copper/Silkscreen_Top　　Silkscreen_Bottom:Copper/Silkscreen_Bottom

Line/Silkscreen_Top　　Line/Silkscreen_Bottom

Text/Silkscreen_Top　　Text/Silkscreen_Bottom

Res Des/Silkscreen_Top　　Res Des/Silkscreen_Bottom

Pcb Geometry/Silkscreen_Top　　Pcb Geometry/Silkscreen_Bottom

阻焊层：指设计文件中为绿油涂布提供加工信息的层面，命名为 Soldermask_Top/Soldermask_Bot

Soldermask_Top:

Via/Soldermask_Top　　Soldermask_Bot:Via/Soldermask_Bottom

Pad/Soldermask_Top　　Pad/Soldermask_Bottom

Copper/Soldermask_Top　　Copper/Soldermask_Bottom

Pcb Geometry/Soldermask_Top　　Pcb Geometry/Soldermask_Bottom

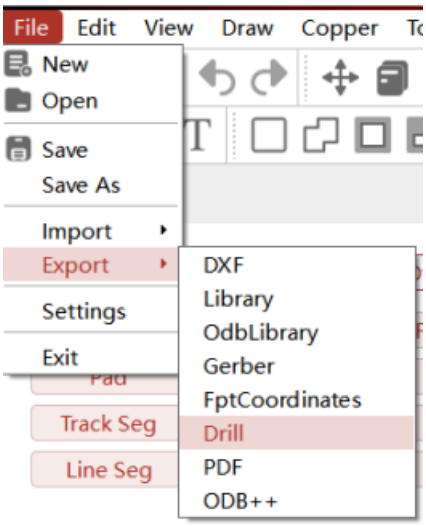
板框层：指 Pcb 外形，命名为 Outline

Outline:Pcb Geometry/Outline

PKG_4DIE_DEMO-ASSEMBLY_BOTTO...	2022/8/4 16:55	REDGRB 文件	2 KB
PKG_4DIE_DEMO-ASSEMBLY_TOP.re...	2022/8/4 16:55	REDGRB 文件	6 KB
PKG_4DIE_DEMO-BOTTOM.redgrb	2022/8/4 16:55	REDGRB 文件	23 KB
PKG_4DIE_DEMO-DIE-1.redgrb	2022/8/4 16:55	REDGRB 文件	7 KB
PKG_4DIE_DEMO-DIE-2.redgrb	2022/8/4 16:55	REDGRB 文件	5 KB
PKG_4DIE_DEMO-DIE-3.redgrb	2022/8/4 16:55	REDGRB 文件	5 KB
PKG_4DIE_DEMO-DIE-4.redgrb	2022/8/4 16:55	REDGRB 文件	5 KB
PKG_4DIE_DEMO-OUTLINE.redgrb	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-PASTEMASK_BOTT...	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-PASTEMASK_TOP.r...	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-SILKSCREEN_BOTT...	2022/8/4 16:55	REDGRB 文件	2 KB
PKG_4DIE_DEMO-SILKSCREEN_TOP.r...	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-SOLDERMASK_BOT...	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-SOLDERMASK_TOP...	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-TOP.redgrb	2022/8/4 16:55	REDGRB 文件	34 KB

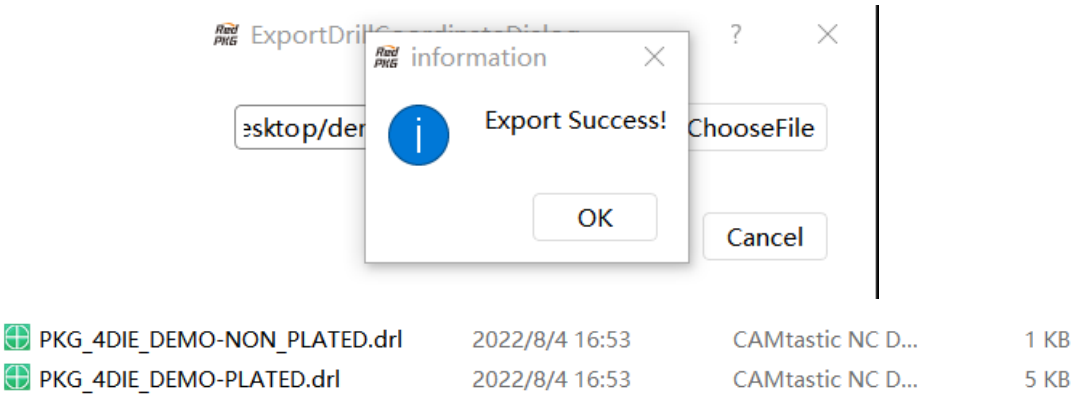
11.2 钻孔文件输出

1）点击菜单 File->Export->Drill



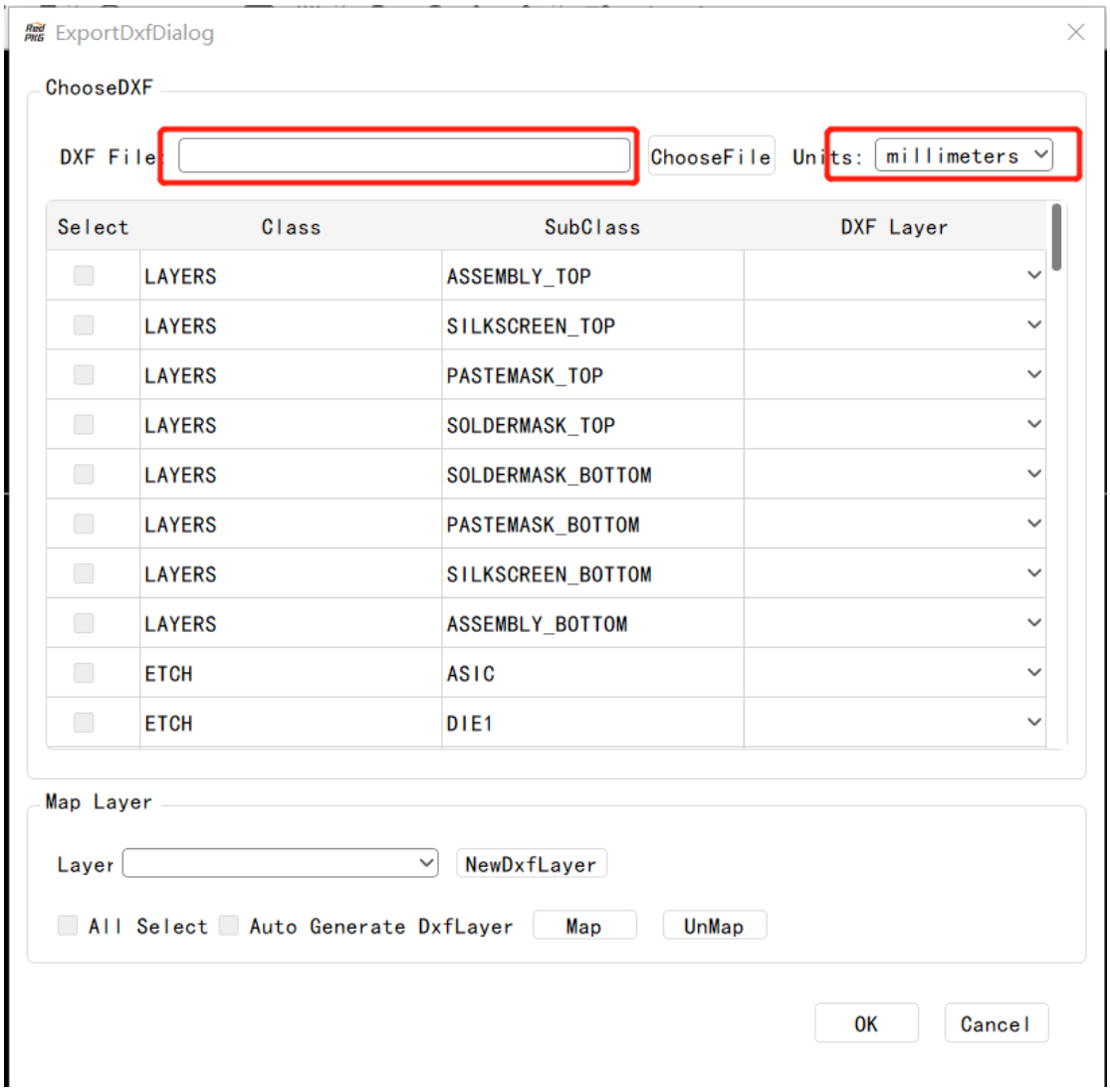
2）弹出对话框，选择文件输出路径，点击 OK

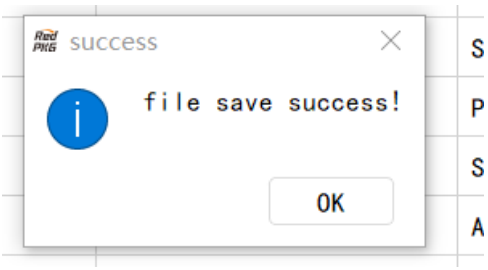
3）弹出对话框，显示输出成功，点击 OK,文件夹中就有两个.Drl 文件，分别是金属和非金属化孔的钻孔表



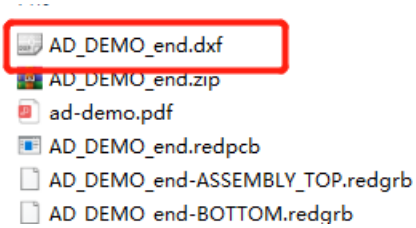
11.3 DXF 文件导出

点击菜单 File->Export->DXF,跳出对话框 ，选择路径，输入名字，Units:选择单位，勾选 All Select,勾选 Auto Generate Dxflayer,点击 Map,点击 OK,跳出对话框显示导出成功





完成后文件夹中就有一个.DXF 文件



11.4 打包文件

将之前转出来得文件按照公司要求打包发给板厂。

PKG_4DIE_DEMO-DIE-4.redgrb	2022/8/4 16:55	REDGRB 文件	5 KB
PKG_4DIE_DEMO-OUTLINE.redgrb	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-PASTEMASK_BOTTOM.redgrb	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-PASTEMASK_TOP.redgrb	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-SILKSCREEN_BOTTOM.redgrb	2022/8/4 16:55	REDGRB 文件	2 KB
PKG_4DIE_DEMO-SILKSCREEN_TOP.redgrb	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-SOLDERMASK_BOTTOM.redgrb	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-SOLDERMASK_TOP.redgrb	2022/8/4 16:55	REDGRB 文件	1 KB
PKG_4DIE_DEMO-TOP.redgrb	2022/8/4 16:55	REDGRB 文件	34 KB
PKG_4DIE_DEMO-ASSEMBLY_BOTTOM.redgrb	2022/8/4 16:55	REDGRB 文件	2 KB
PKG_4DIE_DEMO-ASSEMBLY_TOP.redgrb	2022/8/4 16:55	REDGRB 文件	6 KB
PKG_4DIE_DEMO-BOTTOM.redgrb	2022/8/4 16:55	REDGRB 文件	23 KB
PKG_4DIE_DEMO-DIE-1.redgrb	2022/8/4 16:55	REDGRB 文件	7 KB
PKG_4DIE_DEMO-DIE-2.redgrb	2022/8/4 16:55	REDGRB 文件	5 KB
PKG_4DIE_DEMO-DIE-3.redgrb	2022/8/4 16:55	REDGRB 文件	5 KB
PKG_4DIE_DEMO-NON_PLATED.drl	2022/8/4 16:53	CAMtastic NC D...	1 KB
PKG_4DIE_DEMO-PLATED.drl	2022/8/4 16:53	CAMtastic NC D...	5 KB