

QA710S模组技术规格书

文档版本 V1.1

发布日期 2024-05-21

编制：邵浩东

校对：杨帅

审核：周明杰

批准：陈水忠

概述

本文档作为产品的技术状态规范文件,详细规定了 QA710S模组的外观特点、性能参数和配置应用等,让用户对 QA710S模组有一个深入细致的了解，并指导产品研发工程师开展设计工作。

读者对象

本文档主要适用于以下人员：

- 售前工程师
- 渠道伙伴售前工程师
- 产品研发工程师
- 维护工程师

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
	表示如不避免则将会导致死亡或严重伤害的具有高等级风险的危害。
	表示如不避免则可能导致死亡或严重伤害的具有中等级风险的危害。
	表示如不避免则可能导致轻微或中度伤害的具有低等级风险的危害。
	用于传递设备或环境安全警示信息。如不避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。
	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

修改记录

文档版本	发布日期	修改说明
1.0	2024-05-13	第一次正式发布。
1.1	2024-05-21	修改5.3节电源接口章节，补充了模组电源使能引脚的功能框图，并提供了载板端典型的控制电路

目录

1. 产品简介.....	5
1.1 概述	5
1.2 命名规则.....	5
1.3 典型应用.....	6
1.4 产品特点.....	6
2. 产品规格.....	7
2.1 基本规格.....	7
2.2 环境条件.....	7
3. 电气接口说明.....	9
3.1 信号定义.....	9
3.2 PCIE 接口	15
3.3 UART 接口	16
3.4 复位接口.....	16
3.5 电源接口.....	17
3.5.1 电源规格约束.....	17
3.5.2 模块上下电控制.....	17
3.5.3 过温下电.....	18
4. 物理接口说明.....	19
4.1 外形尺寸	19
4.2 重量.....	20
5. 缩略语.....	22
A.1 A-E.....	22
A.2 F-J.....	22
A.3 K-O	22
A.4 P-T	22
A.5 U-Z.....	23

1.产品简介

1.1 概述

QA710S模组是一款高性能、低功耗 AI 模组，可以实现图像、视频等多种数据分析与推理计算，可广泛用于智能监控、机器人、无人机、视频服务器等场景。模组采用高性能 OPTA8871-SOC，支持 8 个 AI core、8 个 CPU 核心，最大可支持 384 位宽的 LPDDR4X，可实现最大 140TOPS @INT8 的计算能力。

QA710S模组采用紧凑的结构设计，接口采用 FMC 板间连接器设计，可灵活的布局在用户产品中。

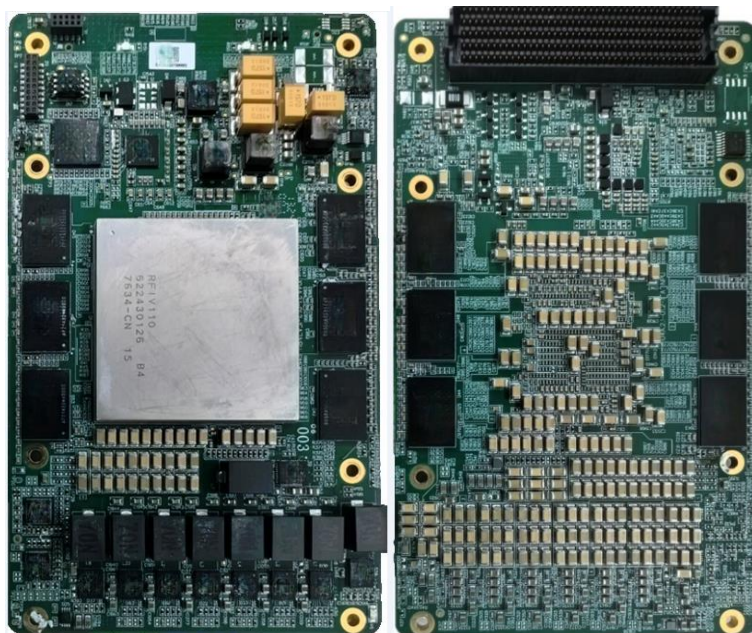


图 1-1 A10模组外观示意图

1.2 命名规则

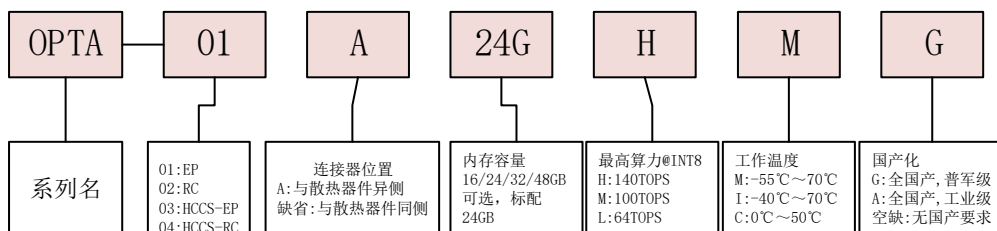


图 1-2 A10模组命名规则

1.3 典型应用

QA710S模组典型应用如下图所示。

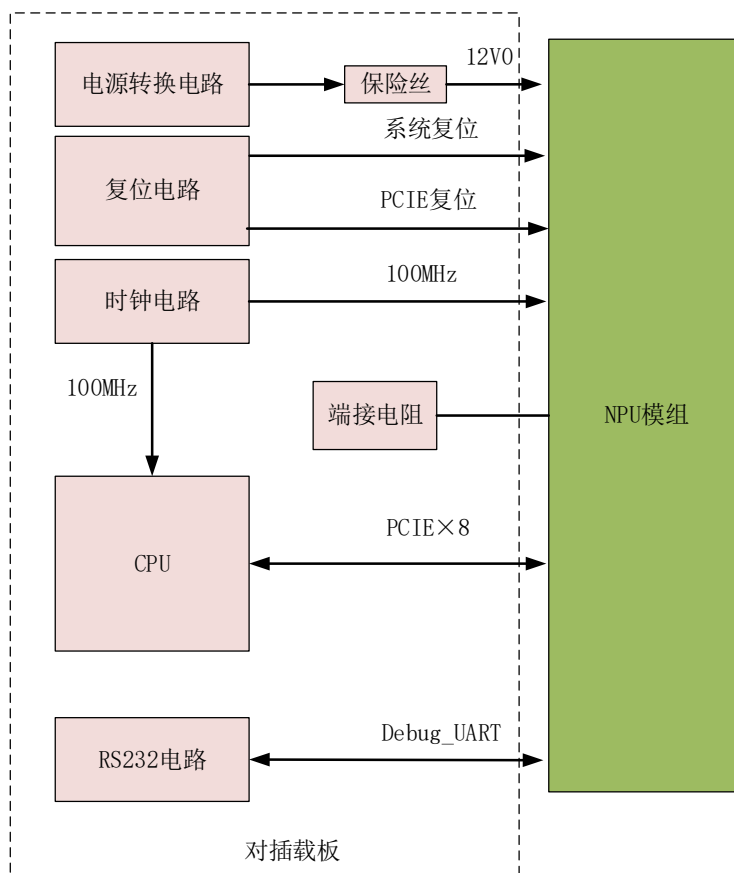


图 1-3 AI0模组应用框图

1.4 产品特点

- 采用高性能的 OPTA8871 高性能 AI 处理器，可提供最大 140TOPS@INT8、70TFLOPS@FP16 的计算能力；
- 支持 PCIe 3.0×8 通信接口, 提供 64Gbps 的数据通信带宽；
- 支持多种规格的 H. 264、H. 265 视频编解码，适用于用户不同的视频处理需求。

2.产品规格

2.1 基本规格

表 2-1 硬件基本规格

特征	硬件规格
AI 处理器	OPTA8871 高性能AI 处理器 ●8 核 DaVinciV200 AI Core ●8 核 TAISHANV200M 处理器核
AI 算力 ^a	●半精度（FP16）：最高 70TFLOPS，可选 32TFLOPS~70TFLOPS ●整数精度（INT8）：最高 140 TOPS，可选 64TOPS~140TOPS
内存	●类型：LPDDR4X ●位宽：256/384bits ●速率：最高 4266Mbps ●容量：标配 24GB，可选 16GB~48GB
编解码能力	●H.264、H.265 视频编解码 ●JPEG 图片编解码
图像预处理能力	●支持缩放、抠图、色域转换（RGB/YUV）
PCIe	● PCIe 3.0 x 8
其他接口	●调试 UART
功耗	●常温功耗：50W，高温最高 70~100W
连接器	● FMC-40-05.0-S-10-1-A-Z 或 C-SEAF-40-05.0-S-10-1-A-K-TR
结构尺寸（长 x 宽 x 高）	● 80mm×135mm
净重	●180g±20g
a：稳定提供的峰值算力。	

表 2-2 软件基本规格

特征	规格
操作系统	● Ubuntu18.04 ● openEuler22.03
深度学习框架	●支持 TensorFlow、PyTorch、飞桨、MindSpore
开发工具	● MindStudio

2.2 环境条件

QA710S模组适用于多种工作场景，如视频监控设备、无人机、服务器等，QA710S模组采用高规格的硬件设计，可满足实验室、车载、航空等严苛的工作环境。

表 2-3 环境条件

项目	条件	典型值
----	----	-----

工作温度	商用C档	0℃~50℃，固件上报处理器内部节温不能超过100℃
	工业I档	-40℃~70℃，固件上报处理器内部节温超过103℃降频，105℃进入过温下电状态
	军用M档	-55℃~70℃，固件上报处理器内部节温超过103℃降频，105℃进入过温下电状态
贮存温度	商用C档	-40℃~125℃
	工业I档	-55℃~125℃
	军用M档	-55℃~125℃
湿热	相对湿度	不超过95%
	温度	不超过60℃
	持续时间	不超过10天
盐雾	温度	35℃
	氯化钠浓度	5%
	持续时间	不超过48小时
振动	频率	15Hz~2000Hz
	振动量级	0.04g ² /Hz
	每轴向持续时间	1小时
冲击	每轴向冲击次数	3
	峰值加速度	15g
	持续时间	11毫秒
	冲击脉冲	半正弦波
加速度	峰值加速度	4.5g
	持续时间	1分钟
	轴向	X/Y/Z三轴六向
温度应力	循环次数	20（仅I档和M档，C档无）
	温度	-55℃~85℃
	温度转换率	15℃/min
	单次循环时间	1小时

- 1) 工作温度、贮存温度、湿热、盐雾、振动、冲击和加速度为产品使用保证条件，非产品交付筛选试验项目；
- 2) 温度应力为产品交付前开展的环境应力筛选试验项目，每套产品交付前均开展相关试验；
- 3) 除以上试验项目以外，用户可通过技术协调单或订货合同附件等形式增加或调整试验条件。

3.电气接口说明

本章节介绍 QA710S模组的电气接口。

3.1 信号定义

模组连接器选用 400Pin 高速板间连接器，型号 FMC-40-05.0-S-10-1-A-Z 或 C-SEAF-40-05.0-S-10-1-A-K-TR，该连接器为插座，高度为 5mm，载板可选用不同高度的插座，实现不同的配合高度。

表 2-1 连接器型号

连接器型号	推荐配合连接器型号	配合高度
FMC-40-05.0-S-10-1-A-Z	FMC-40-02.0-S-10-1-A-T	7mm
	FMC-40-03.5-S-10-1-A-T	8.5mm

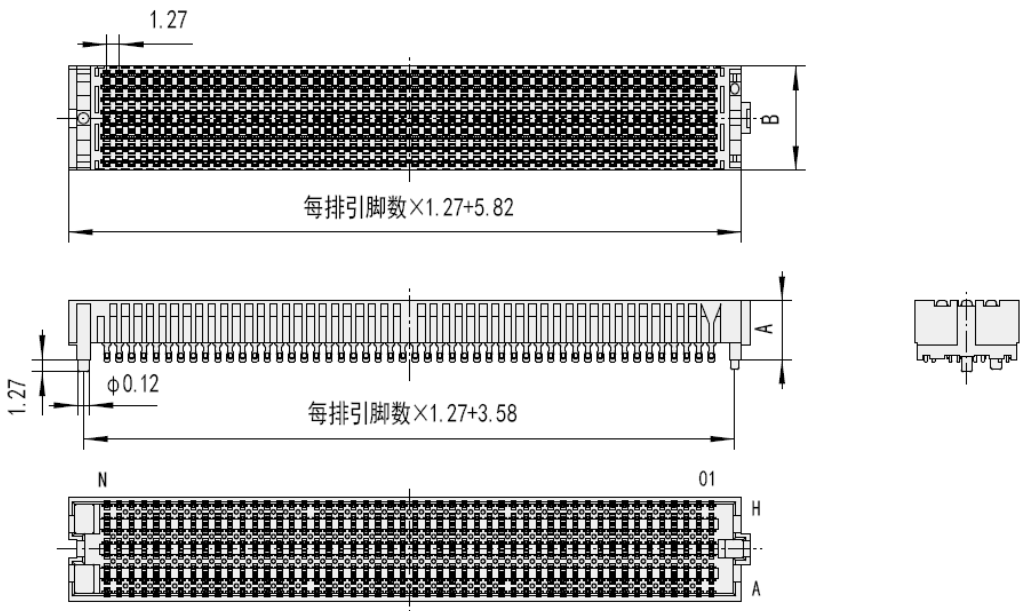


图 3-1 A10模组连接器外观图（A=5mm，B=13.23mm）

引脚	信号名称及定义	引脚	信号名称及定义
A1	P12V0: 电源供电输入	B1	P12V0: 电源供电输入
A2	GND	B2	P12V0: 电源供电输入
A3	NPU_EN_POWER: 上电使能，开路使能，接地下电	B3	GND
A4	预留 3.3V 电平 IO 引脚，必须悬空	B4	GND
A5	预留 3.3V 电平 IO 引脚，必须悬空	B5	NC
A6	NC	B6	NC
A7	NC	B7	GND
A8	NC	B8	GND
A9	NPU_MRSTN_3V3: 手动复位输入，低电平复位	B9	NC

A10	预留 3.3V 电平 IO 引脚, 必须悬空	B10	NC
A11	预留 3.3V 电平 IO 引脚, 必须悬空	B11	GND
A12	NC	B12	GND
A13	NC	B13	NC
A14	NC	B14	NC
A15	NC	B15	GND
A16	NC	B16	GND
A17	NC	B17	NC
A18	NC	B18	NC
A19	预留 3.3V 电平 IO 引脚, 不使用悬空	B19	GND
A20	预留 3.3V 电平 IO 引脚, 不使用悬空	B20	GND
A21	预留 3.3V 电平 IO 引脚, 不使用悬空	B21	预留 1.8V 电平 IO 引脚, 不使用悬空
A22	预留 3.3V 电平 IO 引脚, 不使用悬空	B22	预留 1.8V 电平 IO 引脚, 不使用悬空
A23	PCIE_RSTN_3V3: EP 模式 PCIE 复位输入, 低电平复位	B23	GND
A24	预留 3.3V 电平 IO 引脚, 不使用悬空	B24	GND
A25	GND	B25	NC
A26	GND	B26	NC
A27	预留 3.3V 电平 IO 引脚, 不使用悬空	B27	GND
A28	预留 3.3V 电平 IO 引脚, 使用 4.7K 电阻上拉 3V3_MCU	B28	GND
A29	GND	B29	NC
A30	GND	B30	NC
A31	MCU_UART_TXD: 预留调试引脚, 不使用悬空	B31	GND
A32	MCU_UART_RXD: 预留调试引脚, 载板上使用 4.7K 电阻上拉到 3V3_MCU	B32	GND
A33	GND	B33	预留 1.8V 电平 IO 引脚, 不使用悬空
A34	GND	B34	预留 1.8V 电平 IO 引脚, 不使用悬空
A35	NPU_DEBUG_TXD: NPU 调试串口输出, 3.3VCMOS 电平	B35	GND
A36	NPU_DEBUG_RXD: NPU 调试串口输入, 3.3VCMOS 电平, 载板上使用 4.7K 电阻上拉到 3V3_MCU	B36	GND
A37	GND	B37	预留 1.8V 电平 IO 引脚, 不使用悬空
A38	GND	B38	预留 1.8V 电平 IO 引脚, 不使用悬空
A39	NC	B39	GND
A40	NC	B40	GND
引脚	信号名称定义	引脚	信号名称定义
C1	P12V0: 电源供电输入	D1	P12V0: 电源供电输入
C2	GND	D2	P12V0: 电源供电输入
C3	NC	D3	GND
C4	NC	D4	GND
C5	GND	D5	预留 1.8V 电平 IO 引脚, 4.7K 电阻上拉至

			VOUT28_DVDD_1V8
C6	GND	D6	预留 1.8V 电平 IO 引脚，不使用悬空
C7	NC	D7	GND
C8	NC	D8	GND
C9	GND	D9	NC
C10	GND	D10	NC
C11	预留 1.8V 电平 IO 引脚，不使用悬空	D11	GND
C12	预留 1.8V 电平 IO 引脚，不使用悬空	D12	GND
C13	GND	D13	MCU_TDI_3V3: 预留调试引脚，不使用悬空
C14	GND	D14	MCU_TMS_3V3: 预留调试引脚，不使用悬空
C15	NC	D15	GND
C16	NC	D16	GND
C17	GND	D17	NC
C18	GND	D18	NC
C19	NC	D19	GND
C20	NC	D20	GND
C21	GND	D21	NC
C22	GND	D22	NC
C23	NC	D23	GND
C24	NC	D24	GND
C25	GND	D25	NC
C26	GND	D26	NC
C27	MCU_TCK_3V3: 预留调试引脚，不使用悬空	D27	GND
C28	MCU_TDO_3V3: 预留调试引脚，不使用悬空	D28	GND
C29	GND	D29	3V3_MCU: 预留调试接口电源，用于 IO 引脚上拉
C30	GND	D30	3V3_MCU: 预留调试接口电源，用于 IO 引脚上拉
C31	预留 3.3V 电平 IO 引脚，不使用悬空	D31	GND
C32	NC	D32	GND
C33	GND	D33	预留 1.8V 电平 IO 引脚，不使用悬空
C34	GND	D34	预留 1.8V 电平 IO 引脚，4.7K 电阻上拉至 VOUT28_DVDD_1V8
C35	NC	D35	GND
C36	NC	D36	GND
C37	GND	D37	预留 1.8V 电平 IO 引脚，不使用悬空
C38	GND	D38	预留 1.8V 电平 IO 引脚，不使用悬空
C39	NC	D39	GND
C40	NC	D40	GND
引脚	信号名称定义	引脚	信号名称定义
E1	P12V0: 电源供电输入	F1	P12V0: 电源供电输入
E2	GND	F2	P12V0: 电源供电输入
E3	NC	F3	GND
E4	NC	F4	GND

E5	GND	F5	NC
E6	GND	F6	NC
E7	NC	F7	GND
E8	NC	F8	GND
E9	GND	F9	NC
E10	GND	F10	NC
E11	预留 1.8V 电平 IO 引脚, 不使用悬空	F11	GND
E12	预留 1.8V 电平 IO 引脚, 不使用悬空	F12	GND
E13	GND	F13	NC
E14	GND	F14	NC
E15	NC	F15	GND
E16	NC	F16	GND
E17	GND	F17	预留 3.3V 电平 IO 引脚, 不使用悬空
E18	GND	F18	MCU_DEBUG_TXD: 预留引脚, 不使用悬空
E19	预留 1.8V 电平 IO 引脚, 不使用悬空	F19	GND
E20	预留 1.8V 电平 IO 引脚, 不使用悬空	F20	GND
E21	GND	F21	NC
E22	GND	F22	NC
E23	NC	F23	GND
E24	NC	F24	GND
E25	GND	F25	NC
E26	GND	F26	NC
E27	NC	F27	GND
E28	NC	F28	GND
E29	GND	F29	NC
E30	GND	F30	NC
E31	预留 3.3V 电平 IO 引脚, 载板上使用 4.7K 电阻上拉到 3V3_MCU	F31	GND
E32	预留 3.3V 电平 IO 引脚, 不使用悬空	F32	GND
E33	GND	F33	NC
E34	GND	F34	NC
E35	预留 1.8V 电平 IO 引脚, 不使用悬空	F35	GND
E36	预留 1.8V 电平 IO 引脚, 不使用悬空	F36	GND
E37	GND	F37	NC
E38	GND	F38	NC
E39	预留 1.8V 电平 IO 引脚, 4.7K 电阻上拉至 VOUT28_DVDD_1V8	F39	GND
E40	预留 1.8V 电平 IO 引脚, 不使用悬空	F40	GND
引脚	信号名称定义	引脚	信号名称定义
G1	P12V0: 电源供电输入	H1	P12V0: 电源供电输入
G2	GND	H2	P12V0: 电源供电输入
G3	PCIE_TXP7: PCIE 发送, 板内有 AC 耦合电容	H3	GND

G4	PCIE_TXN7: PCIE 发送, 板内有 AC 耦合电容	H4	GND
G5	GND	H5	PCIE_TXP6: PCIE 发送, 板内有 AC 耦合电容
G6	GND	H6	PCIE_TXN6: PCIE 发送, 板内有 AC 耦合电容
G7	PCIE_TXP5: PCIE 发送, 板内有 AC 耦合电容	H7	GND
G8	PCIE_TXN5: PCIE 发送, 板内有 AC 耦合电容	H8	GND
G9	GND	H9	PCIE_TXP4: PCIE 发送, 板内有 AC 耦合电容
G10	GND	H10	PCIE_TXN4: PCIE 发送, 板内有 AC 耦合电容
G11	PCIE_TXP3: PCIE 发送, 板内有 AC 耦合电容	H11	GND
G12	PCIE_TXN3: PCIE 发送, 板内有 AC 耦合电容	H12	GND
G13	GND	H13	PCIE_TXP2: PCIE 发送, 板内有 AC 耦合电容
G14	GND	H14	PCIE_TXN2: PCIE 发送, 板内有 AC 耦合电容
G15	PCIE_TXP1: PCIE 发送, 板内有 AC 耦合电容	H15	GND
G16	PCIE_TXN1: PCIE 发送, 板内有 AC 耦合电容	H16	GND
G17	GND	H17	PCIE_TXP0: PCIE 发送, 板内有 AC 耦合电容
G18	GND	H18	PCIE_TXN0: PCIE 发送, 板内有 AC 耦合电容
G19	MCU_DEBUG_RXD: 预留引脚, 载板上使用 4.7K 电阻上拉到 3V3_MCU	H19	GND
G20	预留 3.3V 电平 IO 引脚, 不使用悬空即可	H20	GND
G21	GND	H21	NC
G22	GND	H22	NC
G23	预留发送通道 PCIE_TXP15, 悬空即可	H23	GND
G24	预留发送通道 PCIE_TXN15, 悬空即可	H24	GND
G25	GND	H25	预留发送通道 PCIE_TXP14, 悬空即可
G26	GND	H26	预留发送通道 PCIE_TXN14, 悬空即可
G27	预留发送通道 PCIE_TXP13, 悬空即可	H27	GND
G28	预留发送通道 PCIE_TXN13, 悬空即可	H28	GND
G29	GND	H29	预留发送通道 PCIE_TXP12, 悬空即可
G30	GND	H30	预留发送通道 PCIE_TXN12, 悬空即可
G31	预留发送通道 PCIE_TXP11, 悬空即可	H31	GND
G32	预留发送通道 PCIE_TXN11, 悬空即可	H32	GND
G33	GND	H33	预留发送通道 PCIE_TXP10, 悬空即可
G34	GND	H34	预留发送通道 PCIE_TXN10, 悬空即可
G35	预留发送通道 PCIE_TXP9, 悬空即可	H35	GND
G36	预留发送通道 PCIE_TXN9, 悬空即可	H36	GND
G37	GND	H37	预留发送通道 PCIE_TXP8, 悬空即可
G38	GND	H38	预留发送通道 PCIE_TXN8, 悬空即可
G39	VOUT28_DVDD_1V8: 预留 IO 的参考电压, 悬空即可	H39	GND
G40	VOUT28_DVDD_1V8: 预留 IO 的参考电压, 悬空即可	H40	GND
引脚	信号名称定义	引脚	信号名称定义
J1	P12V0: 电源供电输入	K1	P12V0: 电源供电输入

J2	GND	K2	P12V0: 电源供电输入
J3	PCIE_RXP7: PCIE 接收	K3	GND
J4	PCIE_RXN7: PCIE 接收	K4	GND
J5	GND	K5	PCIE_RXP6: PCIE 接收
J6	GND	K6	PCIE_RXN6: PCIE 接收
J7	PCIE_RXP5: PCIE 接收	K7	GND
J8	PCIE_RXN5: PCIE 接收	K8	GND
J9	GND	K9	PCIE_RXP4: PCIE 接收
J10	GND	K10	PCIE_RXN4: PCIE 接收
J11	PCIE_RXP3: PCIE 接收	K11	GND
J12	PCIE_RXN3: PCIE 接收	K12	GND
J13	GND	K13	PCIE_RXP2: PCIE 接收
J14	GND	K14	PCIE_RXN2: PCIE 接收
J15	PCIE_RXP1: PCIE 接收	K15	GND
J16	PCIE_RXN1: PCIE 接收	K16	GND
J17	GND	K17	PCIE_RXP0: PCIE 接收
J18	GND	K18	PCIE_RXN0: PCIE 接收
J19	预留接收通道 PCIE_RXP15, 悬空或者接 GND	K19	GND
J20	预留接收通道 PCIE_RXN15, 悬空或者接 GND	K20	GND
J21	GND	K21	预留接收通道 PCIE_RXP14, 悬空或者接 GND
J22	GND	K22	预留接收通道 PCIE_RXN14, 悬空或者接 GND
J23	预留接收通道 PCIE_RXP13, 悬空或者接 GND	K23	GND
J24	预留接收通道 PCIE_RXN13, 悬空或者接 GND	K24	GND
J25	GND	K25	预留接收通道 PCIE_RXP12, 悬空或者接 GND
J26	GND	K26	预留接收通道 PCIE_RXN12, 悬空或者接 GND
J27	预留接收通道 PCIE_RXP11, 悬空或者接 GND	K27	GND
J28	预留接收通道 PCIE_RXN11, 悬空或者接 GND	K28	GND
J29	GND	K29	预留接收通道 PCIE_RXP10, 悬空或者接 GND
J30	GND	K30	预留接收通道 PCIE_RXN10, 悬空或者接 GND
J31	预留接收通道 PCIE_RXP9, 悬空或者接 GND	K31	GND
J32	预留接收通道 PCIE_RXN9, 悬空或者接 GND	K32	GND
J33	GND	K33	预留接收通道 PCIE_RXP8, 悬空或者接 GND
J34	GND	K34	预留接收通道 PCIE_RXN8, 悬空或者接 GND
J35	NC	K35	GND
J36	NC	K36	GND
J37	GND	K37	NC
J38	GND	K38	NC
J39	PCIE_CLK_100M_P: PCIE 时钟输入, HCSL 电平	K39	GND
J40	PCIE_CLK_100M_N: PCIE 时钟输入, HCSL 电平	K40	GND

3.2 PCIE 接口

QA710S模组最高支持 PCIe Gen3(8Gbps) × 8,向下兼容 PCIe Gen2(5Gbps)和 PCIe Gen1(2.5Gbps), 推荐 PCB 走线阻抗 90 欧姆, 子卡发送端已串接 AC 耦合电容。

表 3-2-1 接口管脚描述

管脚序号	信号名称	信号方向	用途/描述
H17	PCIE_TXP0	Output	PCIe 发送通道 0 差分信号 P 端
H18	PCIE_TXN0	Output	PCIe 发送通道 0 差分信号 N 端
G15	PCIE_TXP1	Output	PCIe 发送通道 1 差分信号 P 端
G16	PCIE_TXN1	Output	PCIe 发送通道 1 差分信号 N 端
H13	PCIE_TXP2	Output	PCIe 发送通道 2 差分信号 P 端
H14	PCIE_TXN2	Output	PCIe 发送通道 2 差分信号 N 端
G11	PCIE_TXP3	Output	PCIe 发送通道 3 差分信号 P 端
G12	PCIE_TXN3	Output	PCIe 发送通道 3 差分信号 N 端
H9	PCIE_TXP4	Output	PCIe 发送通道 4 差分信号 P 端
H10	PCIE_TXN4	Output	PCIe 发送通道 4 差分信号 N 端
G7	PCIE_TXP5	Output	PCIe 发送通道 5 差分信号 P 端
G8	PCIE_TXN5	Output	PCIe 发送通道 5 差分信号 N 端
H5	PCIE_TXP6	Output	PCIe 发送通道 6 差分信号 P 端
H6	PCIE_TXN6	Output	PCIe 发送通道 6 差分信号 N 端
G3	PCIE_TXP7	Output	PCIe 发送通道 7 差分信号 P 端
G4	PCIE_TXN7	Output	PCIe 发送通道 7 差分信号 N 端
K17	PCIE_RXP0	Input	PCIe 接收通道 0 差分信号 P 端
K18	PCIE_RXN0	Input	PCIe 接收通道 0 差分信号 N 端
J15	PCIE_RXP1	Input	PCIe 接收通道 1 差分信号 P 端
J16	PCIE_RXN1	Input	PCIe 接收通道 1 差分信号 N 端
K13	PCIE_RXP2	Input	PCIe 接收通道 2 差分信号 P 端
K14	PCIE_RXN2	Input	PCIe 接收通道 2 差分信号 N 端
J11	PCIE_RXP3	Input	PCIe 接收通道 3 差分信号 P 端
J12	PCIE_RXN3	Input	PCIe 接收通道 3 差分信号 N 端
K9	PCIE_RXP4	Input	PCIe 接收通道 4 差分信号 P 端
K10	PCIE_RXN4	Input	PCIe 接收通道 4 差分信号 N 端
J7	PCIE_RXP5	Input	PCIe 接收通道 5 差分信号 P 端
J8	PCIE_RXN5	Input	PCIe 接收通道 5 差分信号 N 端
K5	PCIE_RXP6	Input	PCIe 接收通道 6 差分信号 P 端
K6	PCIE_RXN6	Input	PCIe 接收通道 6 差分信号 N 端
J3	PCIE_RXP7	Input	PCIe 接收通道 7 差分信号 P 端
J4	PCIE_RXN7	Input	PCIe 接收通道 7 差分信号 N 端

QA710S模组预留了 PCIe Lane8~15, 用于后续带宽扩展, 用户可根据情况视情互联。

QA710S模组需要载板提供一组 100MHz 差分参考时钟, 用于 PCIe 通信, 参考时钟电平需满足 HCSL 电平标准。

3.3 UART 接口

QA710S模组需要将 NPU 的调试 UART 接口引出，用于状态监控，子卡采用 CMOS 3.3V 电平输出，因此载板端如需转换为 RS232 电平，需要增加对应的电平转换芯片，电平转换芯片可使用 3V3_MCU 电源。

NPU 子卡预留了健康管理 MCU 电路，可根据需要进行选配，如果使用，建议引出 MCU 调试串口。

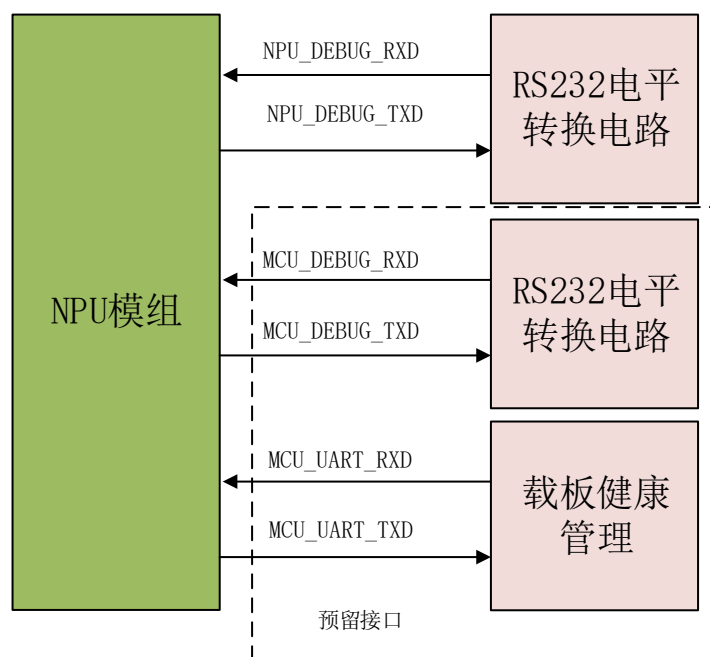


图 3-2 A10模组 UART 接口示意图

3.4 复位接口

QA710S模组支持硬件复位和 PCIE 复位：

1) 硬件复位 NPU_MRSTN_3V3：硬件复位通过 A9 管脚触发，低电平（不超过 0.3V）有效，高电平（不低于 2.7V，不超过 3.3V）撤销。

2) PCIE 复位 PCIE_RSTN_3V3：PCIE 复位通过 A23 管脚触发，低电平（不超过 0.3V）有效，高电平（不低于 2.7V，不超过 3.3V）撤销。

3.5 电源接口

3.5.1 电源规格约束

电源关键规格	规格要求
输入电压	$12V \pm 0.5V$
12V 母线电容	建议在子卡连接器入口处增加 470uF
140TOPS 典型工作电流	不超过 6A
140TOPS 最大工作电流	不超过 10A

3.5.2 模块上下电控制

QA710S模组通过底板供电及使能，用户可通过控制 FMC 连接器 A3 管脚完成上下电操作。

信号定义	电气特性	说明
NPU_EN_POWER	地/开 输入	下电：A3 电压小于 0.3V； 上电：开路或者 2V~VIN

模组电源使能电路工作框图如下图所示。

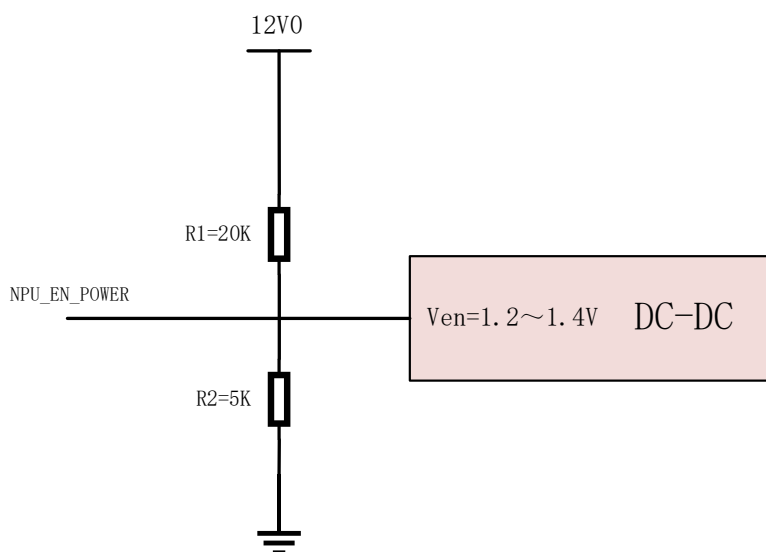


图 3-3 A10电源使能接口示意图

载板端可采用光电耦合器、三极管、MOS 管对 NPU_EN_POWER 引脚进行控制，推荐的控制电路如下图所示。

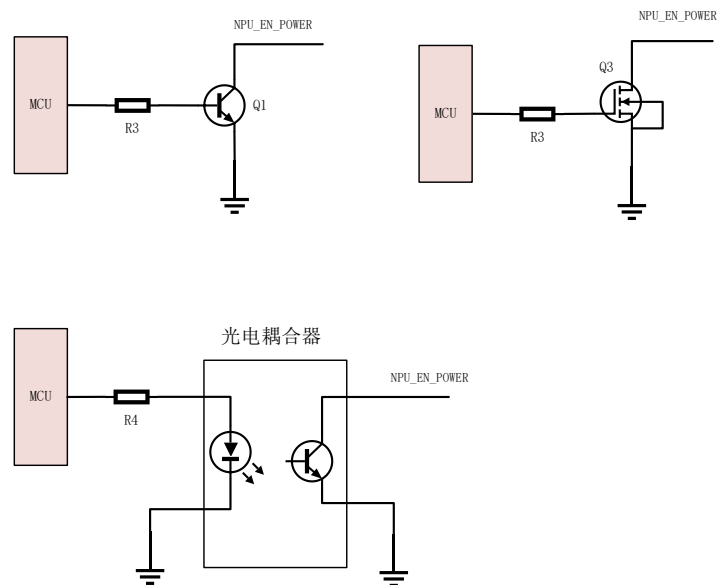


图 3-4 电源使能电路示意图

3.5.3 过温下电

QA710S模组设计有过温保护电路，当 NPU 芯片检测到过温后，触发输出过温告警信号，控制模组下电保护，此时模组处于下电状态，500ms 后自动重新上电。过温点详见 2.2 章节。

4.物理接口说明

4.1 外形尺寸

- 1) 印制板厚度 $2.6 \pm 0.26\text{mm}$;
- 2) 散热器件以及高度超过 3mm 的器件位置如下图所示。未标注区域器件高度不超过 3mm;
- 3) 标注的散热器件，用户需要设计安装导热结构;
- 4) 可联系获取 CAD 格式的外形尺寸图以及三维模型。

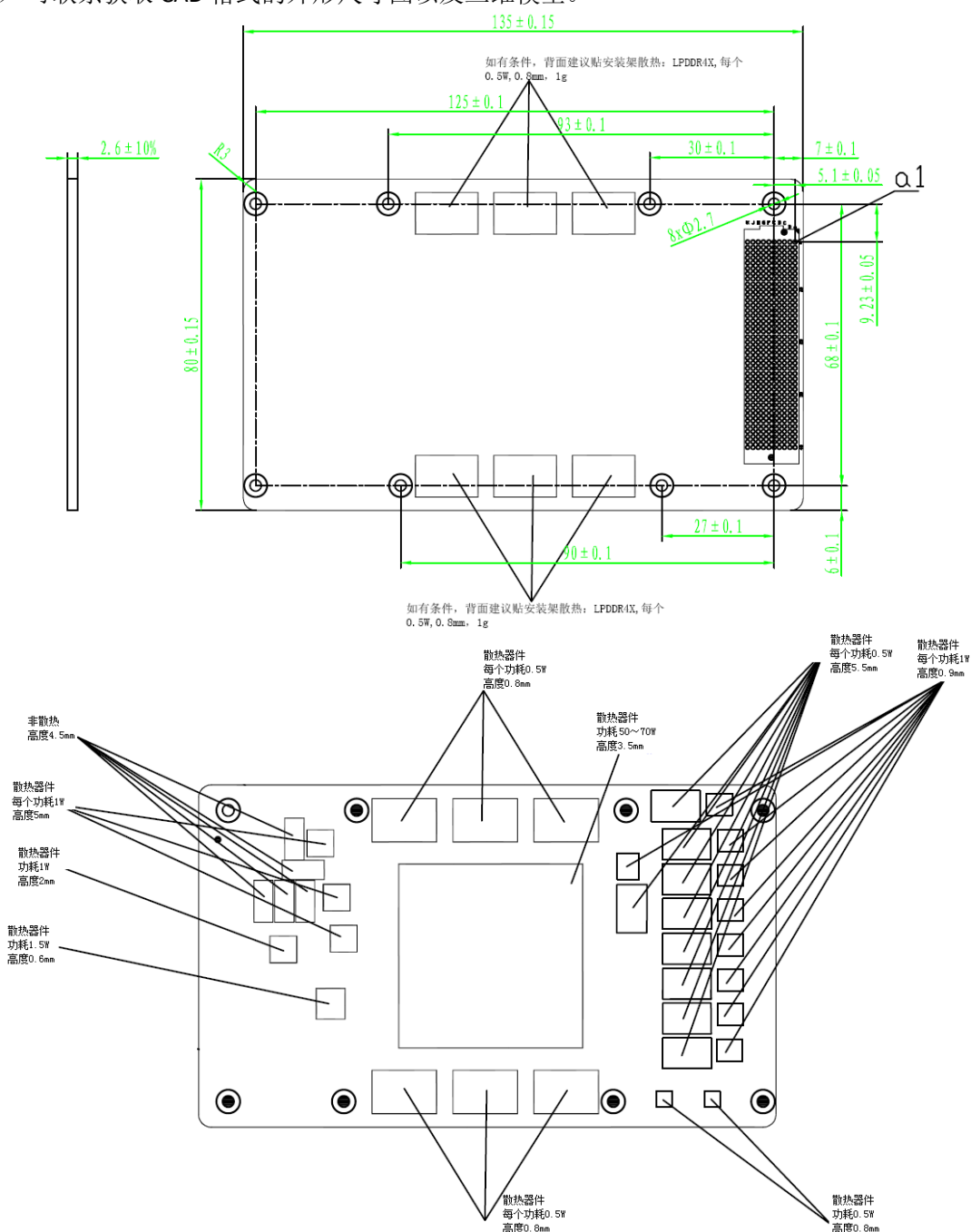


图 4-1 A10模组外形尺寸示意图（上：连接器面，下主散热面）

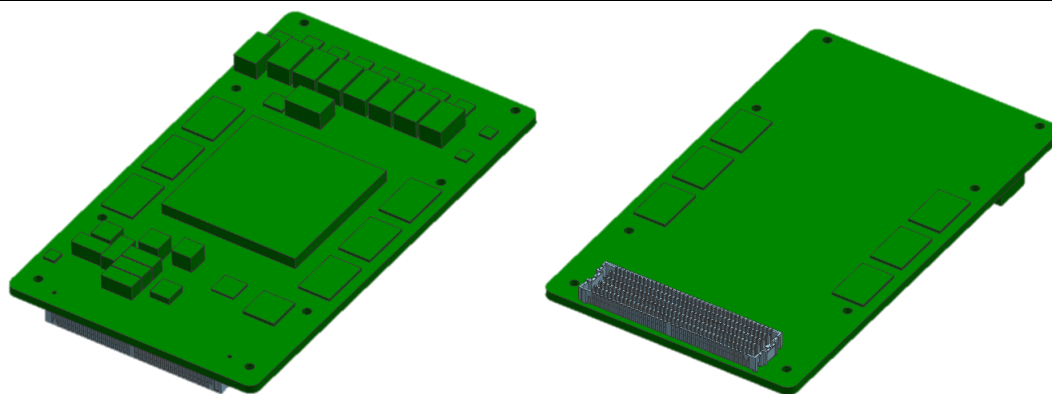


图 4-2 A10模组三维模型

4.2 重量

QA710S模组重量 $180\text{g}\pm 20\text{g}$ 。

须知

如果使用非兼容的部件、超出本技术规格书以外的使用条件， 可能造成设备异常， 此故障不在技术支持和保修范围内。

5. 缩略语

A.1 A-E

A

AI	人工智能（Artificial Intelligence）
----	-------------------------------

B

BTB	板对板连接器（Board to Board Connector）
-----	----------------------------------

A.2 F-J

F

FLOPS	每秒浮点运算次数（Floating-point Operations Per Second）
-------	--

A.3 K-O

L

LPDDR	低功耗双倍速（Low-power Double Data Rate）
-------	------------------------------------

A.4 P-T

P

PCIe	快捷外围部件互连标准（Peripheral Component Interconnect Express）
------	---

T

TFLOPS	每秒万亿次的浮点运算（teraFLOPS）
--------	-----------------------

A.5 U-Z

U

UART	通用异步收发传输器（Universal Asynchronous Receiver/transmitter）
------	--