

加固 GPU 大模型 AI 开发套件
HOUYI-1000V
技术白皮书

全爱科技（上海）有限公司

2025-08-23

版权所有

全爱科技（上海）有限公司 2025 保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



和其他全爱商标均为全爱科技（上海）有限公司的商标。
本文档提及的其他商标或注册商标，由各自的所有人拥有。

注意事项：

您购买的产品、服务等应受全爱科技商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，全爱公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

全爱科技（上海）有限公司

地址：上海市闵行区剑川路 920 号 2 栋 3 层 邮编：200240

文档更新记录

版本	日期	更新记录
0.1.1	2025-8-23	初版发布

操作系统支持版本说明

操作系统版本	Ubuntu22.04
硬件产品	GPU 大模型 AI 开发套件 HOUYI-1000V
产品账号密码 (root 账号不支持远 程和界面登陆)	账号: root 密码: 12345678 账号: dev 密码: 12345678

目 录

1 产品说明	3
1.1 概述	3
1.2 产品组成及特点	3
1.3 基本规格	4
1.4 实物及外观	5
1.4.1 其他要求	6
1.5 接口	6
1.5.1 前面板矩形连接器接口定义	6
1.5.2 VPX 标准连接器 P0 接口定义	7
1.5.3 VPX 标准连接器 P1 接口定义	8
1.5.4 VPX 标准连接器 P2 接口定义	9

1 产品说明

1.1 概述

加固 GPU 大模型 AI 开发套件 HOUYI-1000V 提供满足高可靠环境下使用的,完整的 GPU 并行计算和 NPU 人工智能开发环境,支持高性能计算、深度学习训练与推理等应用。

内置一片 FPGA, 可实现对外的灵活通信。方便已有设备的升级和改造。

1.2 产品组成及特点

产品组成框图如下:

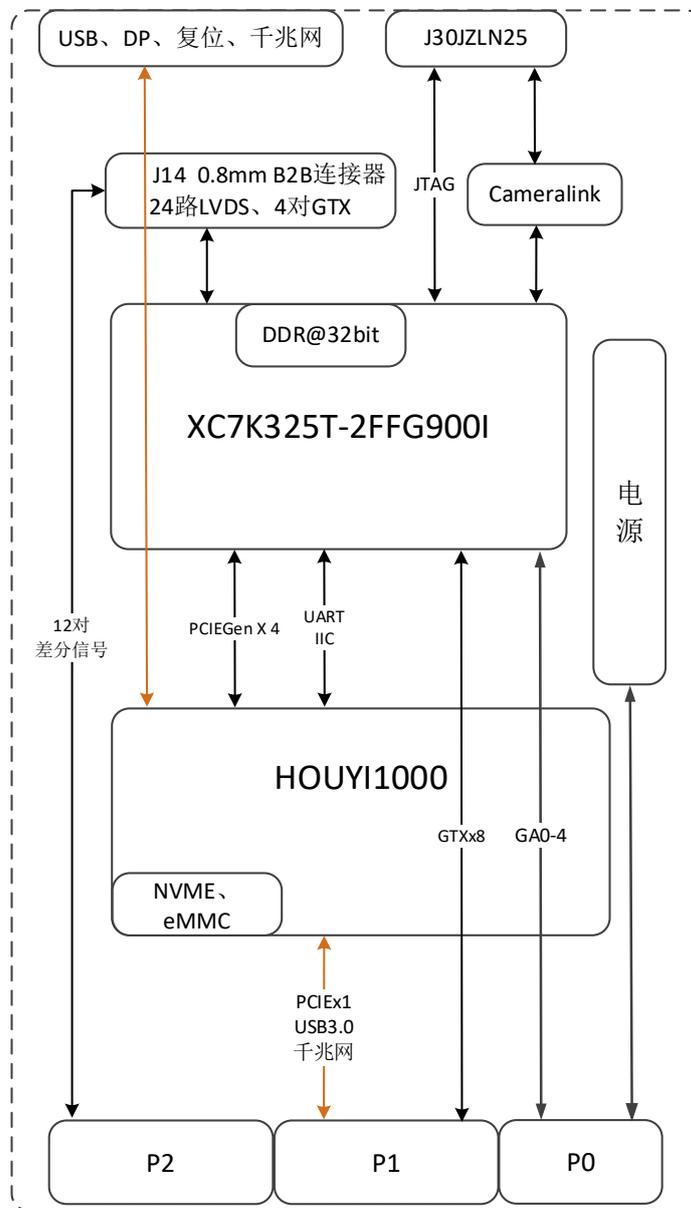


图 1-1 产品框图

产品主要特点如下：

- 1) CPU 12 核/8 核 2.65 GHz
- 2) 最大可提供 50 TOPS INT8 算力，适用于 AI 推理及高性能计算场景。
- 3) 支持多路 H.264/H.265 硬件编解码：解码：2*4K 60fps。编码：2*8K 30fps。
- 4) 一片 Kintex-7 系列的 325T FPGA，灵活实现自定义接口扩展，包含不限于 SRIO、万兆网、Aurora 等。
- 5) 通过自定义背板，可以完成 VPX 连接器的接口自定义。

注：HOUYI-1000 独立工作不需要使用 FPGA 做接口转换时，默认功耗增加不到 2W。

1.3 基本规格

产品基本规格如下：

表格 1-1 产品规格

型号	HOUYI-1000B-16	HOUYI-1000B-32
规格类目	SoM 16G	SoM 32G
SoM 模组尺寸	60mmX82mm, MXM314PIN	
CPU 性能	8*ARM A78, 2.65GHz	12*ARM A78, 2.65GHz
AI 算力	50TOPS INT8 (稠密算力)	
内存容量	16GB(适合 10B 以内 LLM)	32GB (适合 14B 以内 LLM)
内存带宽	102.4GB/s (LPDDR5)	
编码能力	2*4K 60fps	
解码能力	2*8K 30fps	
ISP 能力	Y	
PCIE 接口	PCIe5.0	
千兆网口	2 组 Ethernet 千兆	
显示能力	DP/eDP 1.4b(2 with MST)	
FPGA	XC7K325T-2FFG900I	
图像接口	Cameralink Base 接收	

1.4 实物及外观

GPU 大模型 AI 开发套件 HOUYI-1000V 采用标准 VPX 3U 加固版型设计，外观如图 2 所示：

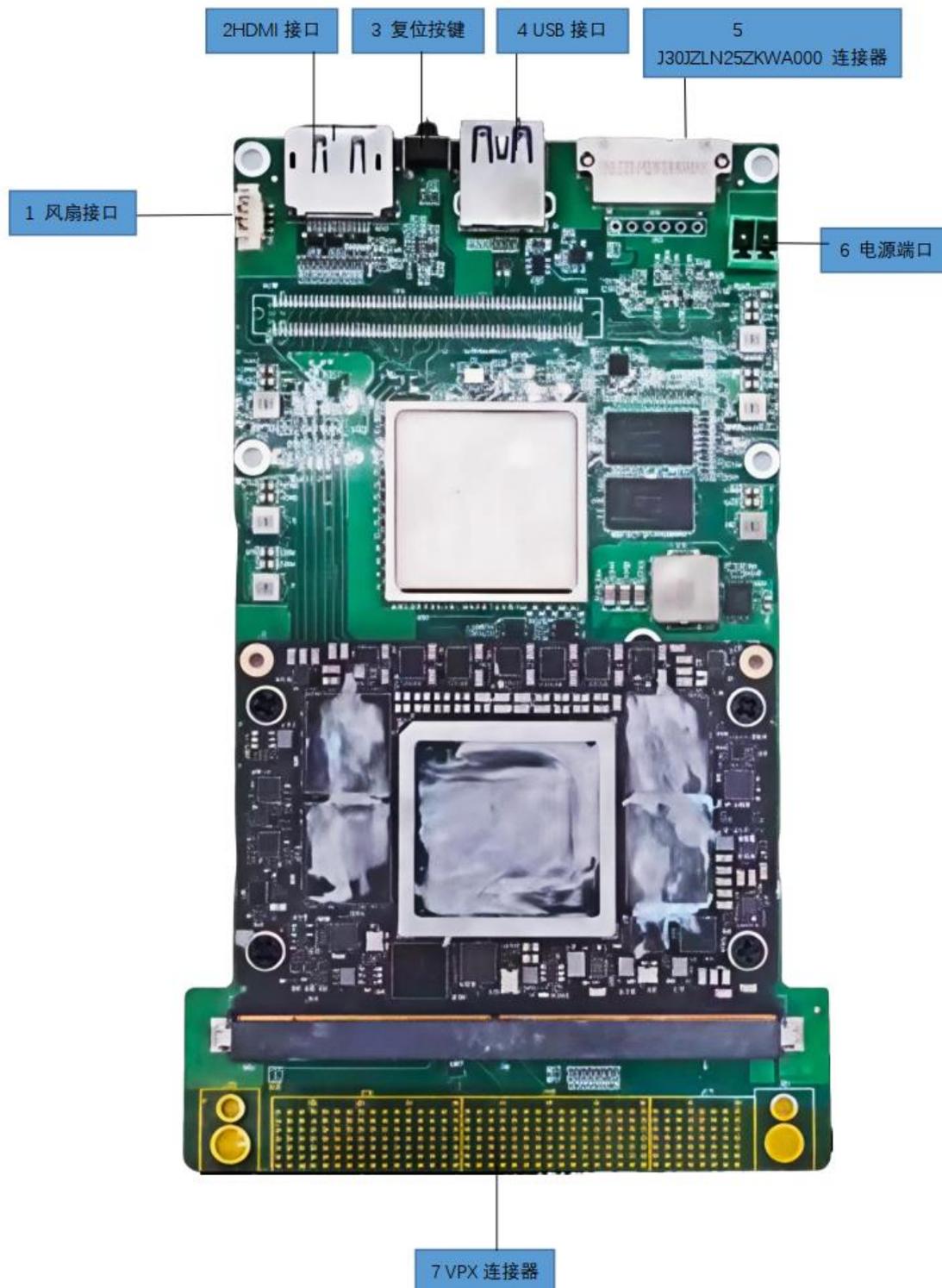


图 2 产品外观图

接口说明：

表格 2 前面板接口

前面板接口			
1	风扇接口	2	HDMI 接口
3	复位按键	4	USB 接口
5	J30JZLN25ZKWA000 连接器	6	调试用电源端口
7	VPX 连接器		

1.4.1 其他要求

结构要求

- 1) 本模块结构要求为板卡设计为标准 3U VPX 模块，159.99mm(长)×100mm(宽)×24.64mm(厚)。平均功耗不超过 30W，重量不大于 1kg。
- 2) 使用独立安装锁紧条，上盖板做散热面，如下图所示：

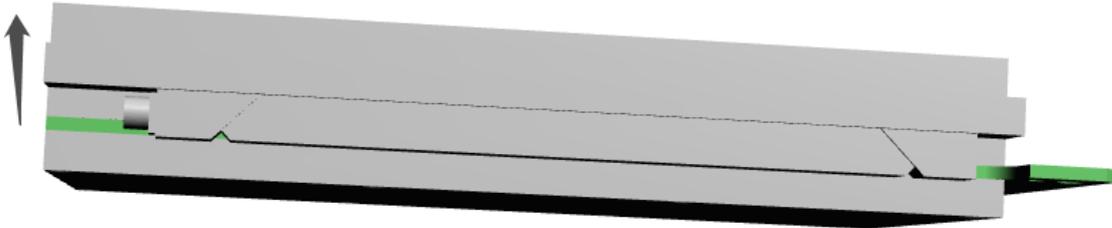


图 3 结构示意图

- 3) 其他详细尺寸参考 VITA 48.2 Revision D0.06 即《Mechanical Specifications for Microcomputers Using REDI Conduction Cooling Applied to VITA 46》。

工作温度：-20~55℃。

供电要求：DC+12V，原有定义 5V 不使用。

元器件选型：

本项目相关元器件选用普通工业级芯片，不做特定国产化，相关设计时尽量考虑封装兼容国产工业级芯片。但具体使用为我方常用物料。

1.5 接口

接口主要包含 VPX 连接器标准接口和前面板接口，下面对各个接口进行分别说明，主要说明接口定义和接口协议。

1.5.1 前面板矩形连接器接口定义

前面板接口使用 J30JZLN25ZKWA000 矩形连接器，定义如下表所示：

表格 3 前面板 JTAG 接口定义

序号	信号名称	序号	信号名称
1	DGND	14	FPGA_TMS
2	AIO_UART7_TX_R	15	FPGA_TDI
3	AIO_UART7_RX_R	16	FPGA_TDO
4	NC	17	FPGA_TCK
5	DGND	18	JTAG_VCC
6	CCDO_RxIN3_P	19	DGND
7	CCDO_RxIN3_N	20	CCDO_RXCLK_P
8	DGND	21	CCDO_RXCLK_N
9	CCDO_RXIN1_P	22	DGND
10	CCDO_RXIN1_N	23	CCDO_RxIN2_P
11	DGND	24	CCDO_RxIN2_N
12	CCDO_RXINO_P	25	DGND
13	CCDO_RXINO_N		

上述信号定义：

前面板其他接口为标准的 DP、USB 等信号。可以使用标准设备进行互联。

1.5.2 VPX 标准连接器 P0 接口定义

接口定义如下：

表格 4 VPX 连接器 P0 接口定义

	G	F	E	D	C	B	A
1	VS1 (12V)	VS1 (12V)	VS1 (12V)	NC			
2	VS1 (12V)	VS1 (12V)	VS1 (12V)	NC			
3				NC			
4	SM1_SCL	SM1_SDA	GND	NC	GND	SYSRESET	NC
5	GAP	GA4	GND	3.3V_AUX	GND	SMO_SCL	SMO_SDA
6	GA3	GA2	GND	NC	GND	GA1	GA0
7	NC	GND	NC	NC	GND	NC	NC
8	GND			GND			GND

在 VPX P0 连接器中主要定义的信号如下：

- 1) VS1 提供 DC+12V 做板卡工作主电源，允许使用最大电流 3A；

- 2) VS2 悬空，但要注意有标准背板中 VS2 连接有其他电源；
- 3) VS3 悬空，背板中该信号也是悬空；
- 4) D6、D7 悬空，无任何信号；
- 5) D5 提供 3.3V_AUX 电源，本项目不使用；
- 6) SM0 (A5、B5) 做系统管理接口使用，当前设备悬空；
- 7) SM1 (G4、F4) 做系统管理接口使用，当前设备悬空；
- 8) GAP 及 GA[0:4]，设置设备的管理地址；
- 9) B4，系统复位信号，可控制主芯片复位。

1.5.3 VPX 标准连接器 P1 接口定义

接口定义如下表：

表格 5 VPX 连接器 P1 定义

	G	F	E	D	C	B	A
1	IO0	GND	GTX0_TX0-	GTX0_TX0+	GND	GTX0_RX0-	GTX0_RX0+
2	GND	GTX0_TX1-	GTX0_TX1+	GND	GTX0_RX1-	GTX0_RX1+	GND
3	IO1	GND	GTX0_TX2-	GTX0_TX2+	GND	GTX0_RX2-	GTX0_RX2+
4	GND	GTX0_TX3-	GTX0_TX3+	GND	GTX0_RX3-	GTX0_RX3+	GND
5	IO2	GND	GTX1_TX0-	GTX1_TX0+	GND	GTX1_RX0-	GTX1_RX0+
6	GND	GTX1_TX1-	GTX1_TX1+	GND	GTX1_RX1-	GTX1_RX1+	GND
7	IO3	GND	GTX1_TX2-	GTX1_TX2+	GND	GTX1_RX2-	GTX1_RX2+
8	GND	GTX1_TX3-	GTX1_TX3+	GND	GTX1_RX3-	GTX1_RX3+	GND
9	IO4	GND	PCIE_TX_N	PCIE_TX_P	GND	PCIE_RX_N	PCIE_RX_P
10	GND			GND			GND
11		GND	USB1_SSTX1_N	USB1_SSTX1_P	GND	USB1_SSRX1_N	USB1_SSRX1_P
12	GND	USB2_DM	USB2_DP	GND	USB1_DM	USB1_DP	GND
13	IO6	GND			GND		
14	GND			GND			GND
15	IO5	GND	ETH1_A-	ETH1_A+	GND	ETH1_B-	ETH1_B+
16	GND	ETH1_C-	ETH1_C+	GND	ETH1_D-	ETH1_D+	GND

在 VPX P1 连接器中主要定义的信号如下：

- 1) GTX_***信号为 FPGA 的高速 serdes 输出，可以根据需要实现自定义协议；
- 2) 其他信号为 GPU 的 pcie、usb、网络等接口。

1.5.4 VPX 标准连接器 P2 接口定义

在 VPX P2 连接器中无定义，该接口悬空，定义如下表：

表格 6 VPX 连接器 P2 定义

	G	F	E	D	C	B	A
1		GND			GND		
2	GND			GND			GND
3		GND			GND		
4	GND			GND			GND
5		GND			GND		
6	GND			GND			GND
7		GND			GND		
8	GND			GND			GND
9		GND	RSV_IO_1N	RSV_IO_1P	GND	RSV_IO_0N	RSV_IO_0P
10	GND	RSV_IO_3N	RSV_IO_3P	GND	RSV_IO_2N	RSV_IO_2P	GND
11		GND	RSV_IO_5N	RSV_IO_5P	GND	RSV_IO_4N	RSV_IO_4P
12	GND	RSV_IO_7N	RSV_IO_7P	GND	RSV_IO_6N	RSV_IO_6P	GND
13		GND	RSV_IO_9N	RSV_IO_9P	GND	RSV_IO_8N	RSV_IO_8P
14	GND	RSV_IO_11N	RSV_IO_11P	GND	RSV_IO_10N	RSV_IO_10P	GND
15		GND	RSV_IO_13N	RSV_IO_13P	GND	RSV_IO_12N	RSV_IO_12P
16	GND	RSV_IO_15N	RSV_IO_15P	GND	RSV_IO_14N	RSV_IO_14P	GND

RSV_IO_*N/ RSV_IO_*P 是可以自定义 IO, 通过配合转接卡, 可以实现接口的自定义。